

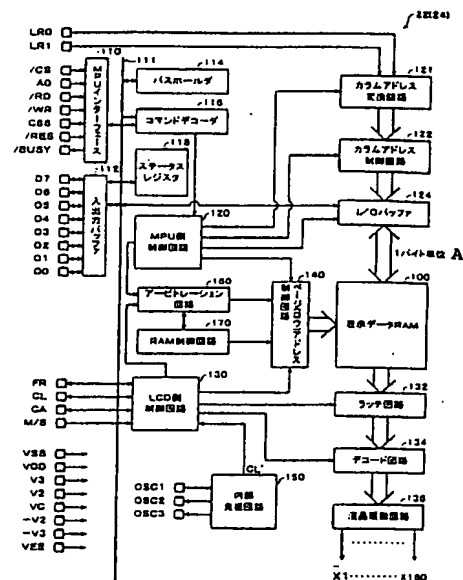


(51) 国際特許分類 G09G 5/00, 3/20	A1	(11) 国際公開番号 WO00/03381
		(43) 国際公開日 2000年1月20日(20.01.00)
(21) 国際出願番号 PCT/JP99/03726	(81) 指定国 JP, US	
(22) 国際出願日 1999年7月9日(09.07.99)	添付公開書類 国際調査報告書	
(30) 優先権データ 特願平10/194846 1998年7月9日(09.07.98) JP		
(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)		
(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 磯崎慎吾 (ISOZAKI, Shingo)[JP/JP] 小林和男 (KOBAYASHI, Kazuo)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)		
(74) 代理人 井上 一, 外 (INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo, (JP)		

(54) Title: DRIVER AND LIQUID CRYSTAL DEVICE

(54) 発明の名称 駆動装置及び液晶装置

- |   |  |
|---|--|
| 100 ... DISPLAY DATA RAM                  | 130 ... LCD-SIDE CONTROL CIRCUIT           |
| 110 ... MPU INTERFACE                     | 132 ... LATCH CIRCUIT                      |
| 112 ... INPUT/OUTPUT BUFFER               | 134 ... DECODING CIRCUIT                   |
| 114 ... BUS HOLDER                        | 136 ... LIQUID CRYSTAL DRIVING CIRCUIT     |
| 116 ... COMMAND DECODER                   | 140 ... PAGE (RAM) ADDRESS CONTROL CIRCUIT |
| 118 ... STATUS REGISTER                   | 150 ... INTERNAL OSCILLATION CIRCUIT       |
| 120 ... MPU-SIDE CONTROL CIRCUIT          | 160 ... ARBITRATION CIRCUIT                |
| 121 ... COLUMN ADDRESS CONVERTING CIRCUIT | 170 ... RAM CONTROL CIRCUIT                |
| 122 ... COLUMN ADDRESS CONTROL CIRCUIT    | A ... UNIT OF ONE BYTE                     |
| 124 ... I/O BUFFER                        |  |



## (57) Abstract

A high-speed operation low-power consumption driver capable of properly responding an access request of the microprocessor side and an access request of the display unit side. When an MPU access request is made by the MPU side and an LCD access request is made by the LCD side simultaneously, an arbitration circuit (160) conducts arbitration and allows start of an access to a RAM (100) which responds one of the access requests. A memory access monitor signal/BUSY for monitoring the access state of the RAM is outputted through an external terminal and fed to a hardware weight control terminal of the MPU. The arbitration circuit starts the access operation on condition that the precharge operation of the RAM is completed. When the MPU sets the start address and end address concerning column and page and issues a write start command, the data displayed in a display area is automatically rewritten. If a contention of the MPU access request against the LCD access request occurs, the MPU access request is always prioritized.

# (57)要約

マイクロプロセッサ側からのアクセス要求と表示部側からのアクセス要求とに的確に応答できると共に、高速動作、低消費電力動作を実現できる駆動装置を提供することが目的である。MPU側からのMPUアクセス要求と、LCD側からのLCDアクセス要求があった場合に、アービトレーション回路(160)が調停を行い、いずれかのアクセス要求に応じたRAM(100)へのアクセス動作を開始させる。そして、RAMのアクセス状態をモニタするためのメモリアクセスモニタ信号/BUSYを外部端子に出力し、MPUのハードウェアウェイト制御端子に入力する。アービトレーション回路はRAMのプリチャージ動作が完了したことを条件にアクセス動作を開始させる。MPUがカラムやページに関するスタートアドレス、エンドアドレスを設定し、書き込み開始コマンドを発行すると、表示エリアの表示データが自動的に書き換えられる。MPUアクセス要求とLCDアクセス要求が競合した場合に、常にMPUアクセス要求を優先させる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SE	スウェーデン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AT	オーストリア	FI	フィンランド	LK	スリランカ	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LR	リベリア	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SN	セネガル
BB	バルバドス	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GH	ガーナ	MA	モロッコ	TD	チャド
BF	ブルキナ・ファソ	GM	ガンビア	MC	モナコ	TG	トーゴ
BG	ブルガリア	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GW	ギニア・ビサウ	MG	マダガスカル	TZ	タンザニア
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TM	トルクメニスタン
BY	ベラルーシ	HR	クロアチア		共和国	TR	トルコ
CA	カナダ	HU	ハンガリー	ML	マリ	TT	トリニダード・トバゴ
CF	中央アフリカ	ID	インドネシア	MN	モンゴル	UA	ウクライナ
CG	コンゴ	IE	アイルランド	MR	モーリタニア	UG	ウガンダ
CH	スイス	IL	イスラエル	MW	マラウイ	US	米国
CI	コートジボワール	IN	インド	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IS	アイスランド	NE	ニジェール	VN	ヴェトナム
CN	中国	IT	イタリア	NL	オランダ	YU	ユーゴスラビア
CR	コスタ・リカ	JP	日本	NO	ノルウェー	ZA	南アフリカ共和国
CU	キューバ	KE	ケニア	NZ	ニュージーランド	ZW	ジンバブエ
CY	キプロス	KP	北朝鮮	PL	ポーランド		
CZ	チェコ	KR	韓国	PT	ポルトガル		
DE	ドイツ			RO	ルーマニア		
DK	デンマーク						

## 明 細 書

## 駆動装置及び液晶装置

## 〔技術分野〕

本発明は、駆動装置及びこれを含む液晶装置に関する。特に、本発明は、マイクロプロセッサユニットからの表示データが記憶されるメモリを有する駆動装置及びこれを含む液晶装置に関する。

## 〔背景技術〕

従来より、液晶装置に使用される信号線ドライバ（駆動装置）として、表示データを記憶するメモリを内蔵する信号線ドライバが公知である。この信号線ドライバを用いれば、外部のマイクロプロセッサユニット（以下、適宜、MPUと呼ぶ）から表示データを随時転送しなくても、内蔵メモリの表示データを使用して画像を表示できる。このため、静止画表示の際の消費電力を大幅に軽減できる。

さて、このようなメモリ内蔵の信号線ドライバ（カラムドライバ）においては、MPUからのコマンドに従ったメモリへのアクセス要求であるMPUアクセス要求（第1のアクセス要求）と、LCD（表示部）での表示動作に従ったメモリへのアクセス要求であるLCDアクセス要求（第2のアクセス要求）とが存在する。そして、LCDアクセス要求は、液晶表示の周期的なタイミングに同期して発生するのに対し、MPUアクセス要求は、液晶表示タイミングとは非同期で発生する。このため、これらのアクセス要求が競合する場合がある。

このようなアクセス要求間の競合の問題を解決する1つの手法として、信号線ドライバの内蔵メモリをデュアルポートメモリにする手法がある。このデュアルポートメモリは、データポートを2つ備えており同時アクセスが可能である。従って、アクセス要求が競合したとしても、適切にメモリのリードライト動作を行うことができる。

しかしながら、このようなデュアルポートメモリのセルサイズは、シングルポ

ートメモリのセルサイズに比べて非常に大きい。従って、内蔵メモリとしてデュアルポートメモリを用いると、信号線ドライバのチップ面積が大きくなり、信号線ドライバの価格が上昇してしまう。

一方、シングルポートメモリを用いながらも、回路構成の工夫によりアクセス要求間の競合の問題を解決した従来技術として、特開平 10-105505 に開示される技術が知られている。

しかしながら、この従来技術では、MPU アクセス要求に応じたアクセス動作の処理時間と LCD アクセス要求に応じたアクセス動作の処理時間の和を T とした場合に、アクセス要求の競合時のみならず、非競合時においても、MPU アクセス要求間の時間間隔を T にする必要がある。このため、MPU から信号線ドライバへの高速なデータ転送を実現できないと共に、MPU の処理負担も増大化するという課題がある。

なお、メモリを内蔵する信号線ドライバの従来技術としては、この他に、特開平 10-106254、特開平 10-105120 などに開示される技術が知られている。

例えば、特開平 10-106254 には、特定の表示エリアの表示データを書き換えることができる信号線ドライバについて開示されている。

しかしながら、この従来技術では、書き込みアドレスが特定の表示エリアのアドレス範囲を越える毎に、MPU がリターンコマンドや書き込み開始コマンドを発行しなければならない、MPU の処理負担が増大化してしまうという問題がある。特に、液晶表示パネルが大画面化した場合には、この問題は深刻なものとなる。

また、特開平 10-105120 には、メモリにデータがリード・ライトされているか否かをモニタ回路によりモニタし、メモリがリード・ライトされていない場合には、入出力回路の端子をハイインピーダンス状態に設定する従来技術が開示されている。

しかしながら、この従来技術は、1つのチップセレクト信号だけを用いて、入出力回路の入力端子をハイインピーダンス状態にすることを、その解決課題にし

ており、データ転送の高速化や、M P Uの処理負荷の軽減化を、その解決課題にするものではない。

[発明の開示]

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、マイクロプロセッサ側からの第1のアクセス要求と表示部側からの第2のアクセス要求とに的確に応答できると共に、高速動作、低消費電力動作を実現できる駆動装置及び液晶装置を提供することにある。

上記課題を解決するために、本発明は、マイクロプロセッサユニットからの表示データを受け、表示部を駆動する駆動装置であって、前記表示部での画像表示に使用される表示データを記憶するメモリと、前記マイクロプロセッサユニットからのコマンドに従った前記メモリへのアクセス要求である第1のアクセス要求と、前記表示部での表示動作に従った前記メモリへのアクセス要求である第2のアクセス要求とを受け、前記第1、第2のアクセス要求のいずれを優先させるかを調停し、前記第1、第2のアクセス要求のいずれかに応じた前記メモリへのアクセス動作を開始させるアービトレーション回路と、前記アービトレーション回路の調停に従ってアクセス動作が開始される前記メモリのアクセス状態をモニタするためのメモリアクセスモニタ信号を、外部端子に出力する回路とを含むことを特徴とする。

本発明によれば、第1、第2のアクセス要求を受けたアービトレーション回路は、第1、第2のアクセス要求のいずれを優先させるかを調停する。そして、第1のアクセス要求を優先する場合には、第1のアクセス要求に応じたアクセス動作を開始させ、第2のアクセス要求を優先する場合には、第2のアクセス要求に応じたアクセス動作を開始させる。

そして、本発明では、メモリのアクセス状態をモニタするためのメモリアクセスモニタ信号が、駆動装置の外部端子に出力される。従って、このメモリアクセスモニタ信号の信号レベルや信号レベルの変化タイミングなどを計測することで、どのような調停がアービトレーション回路により行われているのかを、外部からモニタすることが可能になる。これにより、例えば第1のアクセス要求の適正な

発生タイミングなどを決めることが可能になる。

また本発明は、前記メモリアクセスモニタ信号が、前記第 1、第 2 のアクセス要求が競合した場合には、少なくとも、前記第 1 のアクセス要求に応じた第 1 のアクセス動作の処理時間と前記第 2 のアクセス要求に応じた第 2 のアクセス動作の処理時間の和の時間だけ、アクティブになることを特徴とする。このようにすれば、メモリアクセスモニタ信号がアクティブになる時間の長さを計測するだけで、例えば第 1 のアクセス要求の適正な発生タイミングなどを決めることが可能になる。

また本発明は、前記メモリアクセスモニタ信号が、前記外部端子を介して前記マイクロプロセッサユニットのウェイト端子に出力される信号であることを特徴とする。このようにすれば、第 1、第 2 のアクセス要求が競合した時にのみ第 1 のアクセス要求間の時間間隔を長くし、通常時には上記時間間隔を短くすることが可能になり、高速データ転送を実現できるようになる。

また本発明は、前記第 1 のアクセス要求の信号を出力する第 1 の制御回路と、前記第 2 のアクセス要求の信号を出力する第 2 の制御回路と、前記第 1 のアクセス要求に応じた第 1 のアクセス動作の終了時にアクティブになる第 1 の動作終了信号と、前記第 2 のアクセス要求に応じた第 2 のアクセス動作の終了時にアクティブになる第 2 の動作終了信号とを出力する第 3 の制御回路を含み、前記メモリアクセスモニタ信号が、前記第 1 のアクセス要求信号がアクティブになった場合にアクティブになり前記第 1 の動作終了信号がアクティブになった場合に非アクティブになる信号と、前記第 2 のアクセス要求信号がアクティブになった場合にアクティブになり前記第 2 の動作終了信号がアクティブになった場合に非アクティブになる信号との論理和により生成されることを特徴とする。このようにすれば、メモリのアクセス状態をモニタするメモリアクセスモニタ信号を、アービトレーション回路が有する回路などを有効利用して、少ない回路規模で簡易に生成できるようになる。

また本発明は、マイクロプロセッサユニットからの表示データを受け、表示部を駆動する駆動装置であって、前記表示部での画像表示に使用される表示データ

を記憶するメモリと、前記マイクロプロセッサユニットからのコマンドに従った前記メモリへのアクセス要求である第1のアクセス要求と、前記表示部での表示動作に従った前記メモリへのアクセス要求である第2のアクセス要求とを受け、前記第1、第2のアクセス要求のいずれを優先させるかを調停し、前記第1、第2のアクセス要求のいずれかに応じた前記メモリへのアクセス動作を開始させるアービトレーション回路と、前記メモリへのアクセス動作の開始前に、前記メモリのプリチャージ動作を行うメモリ制御回路と、前記メモリのプリチャージ動作が完了したか否かを判断する判断手段とを含み、前記アービトレーション回路が、前記メモリのプリチャージ動作が完了したと判断されたことを条件に、前記第1、第2のアクセス要求のいずれかに応じた前記メモリへのアクセス動作を開始させることを特徴とする。

本発明によれば、メモリのプリチャージ動作が完了したと判断されたことを条件に、メモリへのアクセス動作が開始されるようになる。従って、最適なタイミングでメモリへのアクセス動作を開始できるようになり、駆動装置内のトランジスタの能力を最大限に引き出すことが可能になる。この結果、メモリのアクセス動作の高速化を図れるようになる。

また本発明は、前記メモリ制御回路が、前記メモリのプリチャージ動作が完了したと判断された場合に、プリチャージモニタ信号をアクティブにし、前記アービトレーション回路が、前記プリチャージモニタ信号がアクティブになったことを条件に、前記第1、第2のアクセス要求に応じた前記メモリへのアクセス動作を開始させることを特徴とする。このようなプリチャージモニタ信号を用いれば、アービトレーション回路が有する回路を有効利用して、メモリのアクセス動作やプリチャージ動作を制御できるようになる。

また本発明は、前記判断手段が、前記メモリのプリチャージ動作が完了したか否かを判断するためのダミーのメモリを含み、前記プリチャージモニタ信号が、前記ダミーのメモリの第1、第2のビット線の信号の論理積により生成されることを特徴とする。このようにすれば、小さな回路規模でプリチャージモニター信号を生成できるようになる。

また本発明は、マイクロプロセッサユニットからの表示データを受け、表示部を駆動する駆動装置であって、前記表示部での画像表示に使用される表示データを記憶するメモリと、前記マイクロプロセッサユニットが、前記メモリの特定の表示エリアにアクセスするために前記メモリのカラムアドレス及びロウアドレスの一方のアドレスである第1のアドレスに関する第1のスタートアドレス及び第1のエンドアドレスを設定し、前記メモリへのアクセス動作を開始させた場合に、前記第1のアドレスを自動的に変化させ、前記第1のアドレスが前記第1のエンドアドレスを越えたことを条件に前記第1のアドレスを前記第1のスタートアドレスに戻すと共に、前記カラムアドレス及び前記ロウアドレスの他方のアドレスである第2のアドレスを変化させるアドレス制御回路とを含むことを特徴とする。

本発明によれば、まず、マイクロプロセッサユニットが、第1のアドレス（カラムアドレス又はロウアドレス）の第1のスタートアドレス（カラムスタートアドレス又はロウスタートアドレス）と、第1のエンドアドレス（カラムエンドアドレス又はロウエンドアドレス）を設定し、メモリへのアクセス動作（ライト又はリード動作）を開始させる。すると、第1のアドレスが自動的に変化（インクリメント又はデクリメント）し、第1のアドレスが上記第1のエンドアドレスを越えると、第1のアドレスが上記第1のスタートアドレスに戻ると共に、第2のアドレス（ロウアドレス又はカラムアドレス）が変化し、例えば1だけインクリメントする。このようにすることで、特定の表示エリアへの表示データの書き込みや、特定の表示エリアからの表示データの読み出しを、マイクロプロセッサユニットの処理負荷をそれほど増すことなく、高速化できるようになる。

また本発明は、駆動装置が第1～第Nの駆動装置を含み、第Mの駆動装置を含むメモリのアクセス動作が行われている場合には、他の駆動装置においては、メモリへのアクセス動作に関する動作部分が非動作にされることを特徴とする。このようにすれば、第Mの駆動装置以外の駆動装置において無駄な電力が消費される事態を防止でき、低消費電力動作を実現できる。

また本発明は、前記第1～第Nの駆動装置が、第1～第Nのカラムアドレス変換回路と第1～第Nのカラムアドレス制御回路を含み、前記第1～第Nのカラム

アドレス変換回路の各カラムアドレス変換回路が、前記マイクロプロセッサユニットにより設定されるカラムアドレスを相対アドレスに変換して後段の各カラムアドレス制御回路に出力すると共に、各カラムアドレス制御回路が含むカラムアドレスデコーダの出力を有効又は無効にするための制御信号を出力することを特徴とする。このようにすれば、カラムアドレスデコーダの回路規模を縮小化でき、駆動装置全体の回路規模を縮小化できる。また、上記制御信号を利用してカラムアドレスデコーダの出力を無効にすることで、無駄な電力が消費される事態を防止できる。

また本発明は、マイクロプロセッサユニットからの表示データを受け、表示部を駆動する駆動装置であって、前記マイクロプロセッサユニットからの前記表示データを記憶するメモリと、前記マイクロプロセッサユニットからのコマンドに従った前記メモリへのアクセス要求である第1のアクセス要求と、前記表示部での表示動作に従った前記メモリへのアクセス要求である第2のアクセス要求とを受け、前記第1、第2のアクセス要求のいずれを優先させるかを調停し、前記第1、第2のアクセス要求のいずれかに応じた前記メモリへのアクセス動作を開始させるアービトレーション回路とを含み、前記アービトレーション回路は、前記第1、第2のアクセス要求が競合した場合には、常に前記第1のアクセス要求を優先させるように調停を行うことを特徴とする。

本発明によれば、第1、第2のアクセス要求が競合した場合に、マイクロプロセッサ側の第1のアクセス要求が常に優先されるようになる。従って、第1、第2のアクセス要求が発生した時間差により、どちらのアクセス要求を優先させるかを決めるというような複雑な処理が不要になる。この結果、アービトレーション回路の回路構成を簡易化でき、誤動作が発生しにくいアービトレーション回路を実現できる。

また本発明は、前記アービトレーション回路が、前記第2のアクセス要求を受けた後、前記第2のアクセス要求に応じた第2のアクセス動作が終了する前に、前記第1のアクセス要求を受けた場合には、前記第2のアクセス動作を中止させると共に前記第1のアクセス要求に応じた第1のアクセス動作を開始させ、前記

第 1 のアクセス動作の終了後に、前記第 2 のアクセス動作を再度開始させることを特徴とする。このようにすれば、第 1 のアクセス要求を優先して第 1 のアクセス動作を行った後に、第 2 のアクセス要求に応じた第 2 のアクセス動作を再度開始できるようになる。これにより、メモリの適正な時分割アクセスを実現できるようになる。

また本発明は、前記アービトレーション回路が、前記第 2 のアクセス要求を受けた後、前記第 2 のアクセス要求に応じた第 2 のアクセス動作が終了する前に、前記第 1 のアクセス要求を受けた場合に、前記第 2 のアクセス動作を再度開始させることについての予約情報を保持する保持回路を含み、前記保持回路に記憶される前記予約情報に基づいて、前記第 1 のアクセス動作の終了後に、前記第 2 のアクセス動作を再度開始させることを特徴とする。このように予約情報を保持する保持回路を設ければ、第 1 のアクセス動作の終了後に、第 2 のアクセス動作を適正に再開させることができるようになる。

また本発明に係る液晶装置は、上記のいずれかの駆動装置と、前記駆動装置により駆動される液晶表示パネルとを含むことを特徴とする。このように本発明の駆動装置を利用することで、液晶装置の小規模化、低消費電力化、表示処理の高速化等を図れるようになると共に、液晶表示パネルの大画面化に対応できるようになる。

#### [図面の簡単な説明]

図 1 は、液晶装置の構成を示すブロック図である。

図 2 は、信号線ドライバの構成を示すブロック図である。

図 3 A は、液晶表示パネルの表示アドレス空間を示す図であり、図 3 B は、第 1 の信号線ドライバの R A M のメモリアドレス空間を示す図である。

図 4 は、第 2 の信号線ドライバの R A M のメモリアドレス空間を示す図である。

図 5 は、R A M 及びその周辺回路の回路図である。

図 6 は、アービトレーション回路及びその周辺回路の接続関係を示す図である。

図 7 は、アービトレーション回路の回路図である。

図 8 は、M P U アクセス要求の後に L C D アクセス要求があった場合のアービトレーション回路の動作を説明するためのタイミングチャートである。

図 9 は、L C D アクセス要求の後に M P U アクセス要求があった場合のアービトレーション回路の動作を説明するためのタイミングチャートである。

図 1 0 は、M P U アクセス要求の後に L C D アクセス要求があった場合のアクセス動作の処理時間について説明するための図である。

図 1 1 は、L C D アクセス要求の後に M P U アクセス要求があった場合のアクセス動作の処理時間について説明するための図である。

図 1 2 は、メモリアksesモニタ信号を M P U のハードウェアウェイト端子に接続する手法について説明するための図である。

図 1 3 は、M P U の高速アクセス動作を実現する手法について説明するための図である。

図 1 4 は、R A M のプリチャージ動作が完了したと判断されたことを条件に、R A M のアクセス動作を開始させる手法について説明するための図である。

図 1 5 は、図 1 4 の手法について説明するためのタイミングチャートである。

図 1 6 は、特定の表示エリアの表示データを書き換える手法について説明するための図である。

図 1 7 A は、従来技術の書き換え手法について説明するための図であり、図 1 7 B は、本実施形態の書き換え手法について説明するための図である。

図 1 8 は、特定の表示エリアの表示データを書き換える際の、M P U の処理フローを示すフローチャートである。

図 1 9 は、カラムアドレス制御回路、ページアドレス制御回路及び M P U 側制御回路の具体的な構成を示すブロック図である。

図 2 0 は、図 1 9 の回路動作を説明するためのタイミングチャートである。

図 2 1 は、表示エリアを書き換える際のカラムアドレス及びページアドレスの変化について示す図である。

図 2 2 は、非該当の信号線ドライバの R A M に関する動作部分を非動作にする手法について説明するための図である。

図 2 3 は、カラムアドレス変換回路のブロック図である。

図 2 4 は、カラムアドレス変換回路におけるアドレス変換について説明するための図である。

図 2 5 は、カラムアドレスを相対アドレスに変換する手法について説明するための図である。

#### [発明を実施するための最良の形態]

以下、本発明の好適な実施形態について、図面を用いて具体的に説明する。

#### 1. 装置全体の説明

図 1 に、液晶表示パネルを含む液晶装置の全体図の例を示す。この液晶装置は、信号線ドライバ 2 0、走査線ドライバ 3 0、電源回路 4 0 及び発振用外付け回路 5 0 を含む。

ここで、液晶表示パネル 1 0 は、例えば  $320 \times 240$  の画素を備える。即ち、この液晶表示パネル 1 0 は、320 本の信号線と 240 本の走査線を有し、信号線と走査線の交差位置である画素位置には、スイッチング素子や液晶層が配置される。

なお、液晶表示パネル 1 0 は、TFT (Thin Film Transistor) などの 3 端子型スイッチング素子や MIM (Metal Insulator Metal) などの 2 端子型スイッチング素子を用いたアクティブマトリックス型液晶表示パネルであってもよいし、単純マトリクス型液晶表示パネルであってもよい。

信号線ドライバ (カラムドライバ) 2 0 は、320 本の信号線にデータ信号を供給するものであり、本実施形態では、第 1 の信号線ドライバ (信号線ドライバ IC) 2 2 と、第 2 の信号線ドライバ 2 4 とを有する。第 1 の信号線ドライバ 2 2 は、1 ~ 160 本目の信号線にデータ信号を供給し、第 2 の信号線ドライバ 2 4 は、161 ~ 320 本目の信号線にデータ信号を供給する。そして、これらの第 1、第 2 の信号線ドライバ 2 2、2 4 は共に同一の構成を有する。

なお、本実施形態では、最大で 4 個の信号線ドライバがカスケード接続可能になっている。そして、このような接続構成にすれば、最大で  $160 \times 4 = 640$

本の信号線を駆動できるようになる。

各信号線ドライバには、LR 0、LR 1の2つの外部端子が設けられている。これらの外部端子LR 0、LR 1に印加される電位の組合せを異ならせることで、カスケード接続可能な最大4つの信号線ドライバを第1段～第4段にて使い分けることができる。

例えば図1では、1段目の第1の信号線ドライバ22の端子(LR 0、LR 1)は(L、L)レベルに設定され、2段目の第2の信号線ドライバ24の端子(LR 0、LR 1)は(L、H)レベルに設定されている。

なお、3段目、4段目に第3、第4の信号線ドライバを設ける場合には、3段目の第3の信号線ドライバの端子(LR 0、LR 1)は(H、L)レベルに設定され、4段目の第4の信号線ドライバの端子(LR 0、LR 1)は(H、H)レベルに設定されることになる。

走査線ドライバ(ロウドライバ)30は、240本の走査線に走査信号を供給するものであり、本実施形態では、第1の走査線ドライバ32と、第2の走査線ドライバ34とを有する。第1の走査線ドライバ32は、1～120本目の走査線に走査信号を供給し、第2の走査線ドライバ34は、121～240本目の走査線に走査信号を供給する。

信号線ドライバ20及び走査線ドライバ30には、電源回路40により各種電源電圧が供給され、マイクロプロセッサユニット(MPU)60により各種コマンドが発行されたり各種データが供給される。

## 2. 信号線ドライバの説明

次に、共に同一の構成を有する第1、第2の信号線ドライバ(信号線ドライブIC)22、24の詳細について、図2を用いて説明する。

まず、信号線ドライバの各端子(信号)について説明する。なお、以下において記号「/」は、Lレベルでアクティブになる端子(信号)であることを示す。

### (1) D7～D0

8ビットの双方向性データバス端子であり、8ビット又は16ビットの標準的

なMPUのデータバスに接続される。

(2) LR0、LR1

上述したように、カスケード接続可能な最大4つの信号線ドライバを第1段～第4段にて使い分けるための端子である。

(3) /CS

チップセレクト端子である。なお、本実施形態では、MPUは、複数の信号線ドライバを1つの信号線ドライバとして認識しており、1本のチップセレクト信号が複数の信号線ドライバに共通に入力される。従って、MPUがチップセレクト信号をLレベル（アクティブ）にすると、全ての信号線ドライバにおいて、D7～D0を介したデータの入出力が可能となる。一方、MPUがチップセレクト信号をHレベル（非アクティブ）にすると、全ての信号線ドライバにおいて、D7～D0がハイインピーダンス状態に設定される。

(4) A0

MPUのアドレスバスの最下位ビットが接続される端子である。A0がLレベルの時には、D7～D0がコマンド（制御データ）であることを示し、A0がHレベルの時には、D7～D0が表示データであることを示す。

(5) /RD、/WR、C86、/RES

/RD、/WR、C86は、80系のMPUの接続時と68系のMPUの接続時とで使い分けされる端子であり、リード・ライトタイミングなどを決定する信号が入力される。また、/RESはリセット端子である。

(6) /BUSY

表示データRAM100（以下、適宜、単にRAMと呼ぶ）のアクセス状態をモニタするメモリアクセスモニタ信号の端子である。/BUSYがLレベルの時にはRAM100のアクセス動作が行われていることを示し、Hレベルの時にはアクセス動作が行われていないことを示す。

(7) M/S

カスケード接続された複数の信号線ドライバのマスター動作、スレイブ動作を選択するための端子である。信号線ドライバは、M/SがHレベルの時にマスタ

一動作を行い、Lレベルの時にスレイブ動作を行う。通常は、1段目の信号線ドライバのM/SがHレベルに設定され、2段目以降の信号線ドライバのM/SがLレベルに設定される。マスター動作の信号線ドライバが液晶表示に必要な信号を出力し、スレイブ動作の信号線ドライバが液晶表示に必要な信号を入力することにより、液晶表示の同期がとられる。

#### (8) FR、CL、CA

FR、CL、CAは、各々、液晶交流化信号、表示クロック信号、フィールドスタート信号の入出力端子であり、信号線ドライバがマスター動作の時には上記各信号が出力され、スレイブ動作の時には上記各信号が入力される。

#### (9) OSC1~3

内部発振回路150の発振動作のために使用される端子である。図1に示すように、マスター動作を行う1段目の信号線ドライバ22では、その端子OSC1~3に、抵抗RとキャパシタCとから成る発振用外付け回路50が接続される。これにより、 $f = 1 / (2 \cdot 2 \times C \times R)$  (Hz)の周波数のクロックCL'が生成され、LCD側制御回路130に出力される。そして、LCD表示の基準クロックとして使用される。なお、スレイブ動作を行う2段目以降の信号線ドライバでは、内部発振回路150は動作せず、端子CLを介して入力されるクロックを用いることになる。

次に、図2の各ブロックの機能について説明する。

バスホールド114は、バス111上のデータを一時的に保持するためのものである。コマンドデコーダ116は、MPUインターフェース110を介してMPUから入力されたコマンドをデコード（解読）し、デコード結果をMPU側制御回路120に伝える。ステータスレジスタ118は、信号線ドライバのステータス情報を保持する。

MPU側制御回路120は、コマンドデコーダ116でのコマンドのデコード結果に基づいて、カラムアドレス変換回路121、カラムアドレス制御回路122、I/Oバッファ124、ページ（ロウ）アドレス制御回路140を制御して、表示データを1バイト単位でRAM100に対してリード・ライトさせる。なお、

RAM 100にリード・ライトされる表示データは、入出力バッファ112を介してI/Oバッファ124に入出力される。

LCD側制御回路130は、LCD表示用のクロックCL（又はCL'）に基づいて、ページアドレス制御回路140、ラッチ回路132を制御し、4ライン分の表示データをRAM 100から読み出させ、ラッチ回路132にラッチさせる。デコード回路134は、ラッチされた表示データを、LCD側制御回路130の制御の下でデコードする。液晶駆動回路136は、デコードされた表示データに基づいて、液晶表示パネルの信号線にデータ信号を供給する。

MPU側制御回路120は、MPUからのコマンドに従ったアクセス要求であるMPUアクセス要求があった場合に、その要求をアービトレーション回路160に伝える。同様に、LCD側制御回路130は、LCDでの表示動作に従ったアクセス要求であるLCDアクセス要求があった場合に、その要求をアービトレーション回路160に伝える。

アービトレーション回路160は、上記のMPUアクセス要求、LCDアクセス要求を受け、これらのアクセス要求のいずれを優先させるかを調停する。そして、これらのアクセス要求のいずれかに応じたRAM 100へのアクセス動作が開始されるように、RAM制御回路170やページアドレス制御回路140を制御する。

ページアドレス制御回路140は、ページ（ロウ）アドレスデコーダを有し、MPU側制御回路120及びLCD側制御回路130の一方からのページアドレスに基づいて、RAM 100の1本のワード線をアクティブにする。

### 3. 液晶表示パネル及びRAMのアドレス空間

さて、本実施形態の信号線ドライバは、4ライン同時選択のMLS（Multi Line Selection）駆動により液晶表示パネルを駆動している。ここでMLS駆動は、複数の走査線（本実施形態では4本）を同時に選択する駆動方法である。即ち、従来の線順次駆動では、1フレーム期間中に1回しか選択期間がない。このため、1つの選択期間と次の選択期間の間の時間間隔が長くなり、液晶の透過率が時間

経過と共に下がってしまい、コントラストが悪化する。これに対して、M L S 駆動では、複数の走査線を同時選択することで、1 フレーム期間中に複数の選択期間を設けることができるようになる。このため、1 つの選択期間と次の選択期間の間の時間間隔が短くなり、液晶の透過率の減少が抑えられ、コントラストが向上する。

図 3 A に、 $320 \times 240$  の画素を有する本実施形態の液晶表示パネルの表示アドレス空間の例を示す。また図 3 B に、信号線ドライバ 2 2 が内蔵する R A M のメモリアドレス空間の例を示し、図 4 に、信号線ドライバ 2 4 が内蔵する R A M のメモリアドレス空間の例を示す。

4 ライン同時選択の M L S 駆動では、図 3 A の K 1、K 2 に示すように、第 1 の選択期間では走査線 1 ~ 4 が同時選択され、次の第 2 の選択期間では走査線 5 ~ 8 が同時選択される。そして本実施形態では、図 3 A の K 3 に示すように、これらの第 1、第 2 の選択期間で使用される表示データ (a 1 ~ d 160) を、図 3 B の K 4 に示すように、信号線ドライバ 2 2 の R A M の 1 ラインに書き込んでいる。このようにすれば、R A M の 1 本のワード線を選択状態にするだけで、第 1、第 2 の選択期間で使用される表示データを一括して読み出し、M L S 駆動のための電圧決定処理に使用できるようになる。

従って、信号線ドライバ 2 2 の R A M の 1 ライン分のメモリセルの個数は、図 3 B の K 5 に示すように、 $160 \text{ (本)} \times 8 \text{ (本)} = 1280 \text{ 個}$  (図 3 A の K 3 の画素数) になる。そして、本実施形態では、R A M に対しては 8 ビット (1 バイト) 単位で表示データを書き込んでいる。M P U からの表示データの転送処理は 8 ビット単位で行われており、パイプライン処理の適正化を図るためには、R A M への書き込みも 8 ビット単位で行うことが望ましいからである。このため、図 3 B の K 6 に示すカラム方向では、アドレスは 8 ビット単位で変化することになり、カラム方向のアドレス数は  $1280 \text{ (個)} \div 8 \text{ (ビット)} = 160 \text{ 個}$  になる。従って、信号線ドライバ 2 2 の R A M のカラムアドレスは [ 0、1、2 …… 159 ] になる。

一方、図 3 A に示すように、本実施形態の液晶表示パネルの走査線数は 240

本であり、8本の走査線分の表示データが、RAMの1ラインに書き込まれる。従って、図3BのK7に示すページ方向では、メモリセルの個数は1/8に圧縮されて、K8に示すように240(本)÷8(本)=30個になる。従って、コラム方向のアドレス数は30個になり、信号線ドライバ22が内蔵するRAMのコラムアドレスは[0、1、2……29]になる。

同様に図4に示すように、信号線ドライバ24が内蔵するRAMのコラムアドレスは[160、161、162……319]になり、ページアドレスは[0、1、2……29]になる。

なお、4個の信号線ドライバをカスケード接続した場合には、第3の信号線ドライバのRAMのコラムアドレスは[320、321、322……479]になり、第4の信号線ドライバのRAMのコラムアドレスは[480、481、482……639]になる。

#### 4. RAM及びその周辺回路の具体的構成

図5に、表示データRAM100及びその周辺回路(コラムアドレス制御回路122、I/Oバッファ124、ラッチ回路132、デコード回路134、液晶駆動回路136)の具体的な構成例を示す。

RAM100は、30本のワード線WL1~WL30と、1280列のビット線対(BL、/BL)と、これらのラインに接続され表示データを記憶するメモリセルMと、ビット線対(BL、/BL)をプリチャージするプリチャージ回路Pを含む。

I/Oバッファ124の出力である16本のバスラインは、コラムスイッチCLSを介して1280列のビット線対(BL、/BL)に接続される。

コラムアドレス制御回路122は、160個のコラムアドレスデコーダADCCを含み、図2のコラムアドレス変換回路121により相対アドレスに変換された8ビットのアドレスCA[0:7]をデコードする。そして、制御信号CALCTLがHレベルの時に、コラムアドレスデコーダADCCの出力がLレベルになると、インバータINVに出力に接続された8個のコラムスイッチCLSが同

時にオンする。

ラッチ回路132は、ラッチ信号(SEL R、／SEL R)によってオン・オフされるスイッチSR、SLと、スイッチSR、SLの出力をラッチするラッチLATを含む。

そして、例えば1行目のワード線WL1が図2のページアドレス制御回路140によりアクティブにされると共に、ラッチ信号SEL Rがアクティブにされると、図3Aの表示アドレス空間上での走査線1～4(K1参照)の表示データがラッチLATに同時にラッチされる。同様に、WL1がアクティブにされると共に、ラッチ信号／SEL Rがアクティブにされると、図3Aの表示アドレス空間上での走査線5～8の表示データが同時にラッチLATにラッチされる。このように、図2のページアドレス制御回路140がワード線を順次アクティブにすることで、メモリセルMに記憶される表示データが、順次ラッチされるようになる。

デコーダ回路134は160個のマルチラインデコーダMDECを含む。そして、各マルチラインデコーダMDECは、PR(デコーダをプリチャージするための信号)、FR(液晶交流化信号)及びF1、F2(フィールド識別信号)に基づいて、ラッチLATの出力を、4ライン同時選択のMLS駆動用の信号にデコードする。

液晶駆動回路136は、160個の電圧セクタVSELを含む。そして、各電圧セクタVSELは、マルチラインデコーダMDECの出力と各種電圧とに基づいて、信号線に印加される信号電圧を決定する。

## 5. アービトレーション回路及びその周辺回路

図6に、アービトレーション回路160及びその周辺回路の信号の接続関係を示す。

本実施形態では、MPU及びLCD側からのRAM100のアクセス要求に対して、RAM100を時分割にアクセスするために、アービトレーション回路160を設けている。

図6に示すように、アービトレーション回路160には、MPU側制御回路1

20からのMPUアクセス要求信号MPUREQ（第1のアクセス要求信号）と、LCD側制御回路130からのLCDアクセス要求信号LCDREQ（第2のアクセス要求信号）と、RAM制御回路170からのMPUアクセス終了信号MPUEND（第1の動作終了信号）及びLCDアクセス終了信号LCDEND（第2の動作終了信号）とが入力される。アービトレーション回路160は、上記の入力信号に基づいて、ページアドレス制御回路140及びRAM制御回路170に対して、MPUアクセス開始信号MPUSTR（第1の動作開始信号）及びLCDアクセス開始信号LCDSTR（第2の動作開始信号）を時分割で出力する。

ページアドレス制御回路140は、アービトレーション回路160からの開始信号MPUSTR、LCDSTRを受ける。そして、MPUSTRがアクティブになるとMPU側制御回路120からのページアドレスを選択し、LCDSTRがアクティブになると、LCD側制御回路130からのページアドレスを選択する。

RAM制御回路170は、アービトレーション回路160から開始信号MPUSTR、LCDSTRを受けると、ワード線をアクティブにさせる開始タイミングを決定する（パルス信号を発生する）。そして、ページアドレス制御信号140は、選択されたページアドレスに対応するワード線を、決定された開始タイミング（パルス信号）でアクティブにする。

RAM制御回路170の他の機能として、終了信号MPUEND、LCDENDを発生させる機能がある。終了信号MPUENDは、開始信号MPUSTRがアクティブになってから所定時間経過後にアクティブになる。同様に、終了信号LCDENDは、開始信号LCDSTRがアクティブになってから所定時間経過後にアクティブになる。つまり、RAM制御回路170は、入力される開始信号MPUSTR、LCDSTRが実際のメモリアクセス信号に変換されてRAM100に伝達される時の遅延時間を利用して、終了信号MPUEND、LCDENDをアクティブにする。

## 6. アービトレーション回路の詳細例

アービトレーション回路160の詳細な構成例を図7に示す。以下、図7のアービトレーション回路の構成及び動作について、下記の通り場合分けして説明する。なお、図中、プリチャージモニタ信号(RAMPRE)は、とりあえずHレベルであるとして説明を進める。また、初期設定時にリセット信号RESETがLレベルになることで、図7のフリップフロップFF1~FF6は全てリセットされている。

(C1) MPUアクセス要求のみがあった場合

この場合には、要求信号MPUREQのみがHレベルとなり、要求信号LCDREQ、終了信号MPUEND、LCDENDは全てLレベルになっている。

要求信号MPUREQは遅延回路DL1を経由してフリップフロップFF6のC入力に入力されている。従って、MPUREQがHレベルになると、D入力にHレベルに設定されているFF6のQ出力がHレベルになり、開始信号MPUSTRがアクティブ(Hレベル)になる。

以上のように、MPUREQによる第1のスルー経路TR1が成立し、開始信号MPUSTRがアクティブになることで、MPU60からのコマンドに従ったRAM100へのアクセス動作が開始する。この結果、表示データが1バイト単位でRAM100からリード又はライトされる。この後、RAM制御回路170が終了信号MPUENDをHレベルにすることで、RAM100へのアクセス動作が終了する。

(C2) LCDアクセス要求のみがあった場合

この場合には、要求信号LCDREQのみがHレベルになっている。そして、このLCDREQは遅延回路DL2を介して、アンドゲートAND5の一方の入力に入力される。

ここで、アンドゲートAND5の他方の入力には、オアゲートOR2の出力が反転して入力されており、OR2の入力には、フリップフロップFF4、FF3のQ出力が入力されている。そして、フリップフロップFF4のD入力には、フリップフロップFF2のQ出力のLレベルが入力されているので、FF4のQ出力はLレベルのままである。また、フリップフロップFF3にはクロックが入力

されていないので、そのQ出力はLレベルのままである。従って、オアゲートOR 2の出力はLレベルになる。そして、上記のように、アンドゲートAND 5の一方の入力はHレベルであるため、AND 5の出力はHレベルになる。従って、オアゲートOR 1の出力はHレベルになり、フリップフロップFF 5のQ出力はHレベルになる。従って、開始信号LCDSTRがアクティブ（Hレベル）になる。

以上のように、LCDREQによる第2のスルー経路TR 2が成立し、開始信号LCDSTRがアクティブになることで、RAM 100からの4走査線分の表示データのリード動作が実行される。この後、RAM制御回路170が終了信号LCDENDをHレベルにすることで、RAM 100からのリード動作が終了する。

(C3) MPUアクセス要求の後にLCDアクセス要求があった場合

これは、図8のM1、M2に示すように、要求信号MPUREQがHレベルになった後に要求信号LCDREQがHレベルになった場合である。

まず、M1に示すように要求信号MPUREQがHレベルになると、上述の(C1)で説明したようにMPUREQによる第1のスルー経路TR 1（図7参照）が成立し、M3に示すように開始信号MPUSTRがアクティブになる。

その後、M2に示すように要求信号LCDREQがHレベルになっても、M4に示すように、開始信号LCDSTRはLレベルのままである。その理由は以下の通りである。

即ち、要求信号MPUREQがHレベルになることで、M5に示すようにフリップフロップFF 2のQ出力がHレベルになる。この状態で、M2に示すように要求信号LCDREQがHレベルになると、FF 2のQ出力がD入力に接続されているFF 4のQ出力もM6に示すようにHレベルになる。これにより、FF 4のQ出力が入力されるオアゲートOR 2の出力もHレベルになる。従って、OR 2の出力の反転信号が入力されるAND 5の出力が、LCDREQがHレベルかLレベルかに依らずに強制的にLレベルになる。この結果、前述の(C2)では成立していた第2のスルー経路TR 2が成立しなくなる。

また、要求信号LCDREQがHレベルになった時点では、終了信号MPUENDはLレベルである。このため、アンドゲートAND3の出力はLレベルとなり、アンドゲートAND4の出力もLレベルになる。従って、オアゲートOR1の出力はLレベルのままであり、第3の経路TR3も成立しない。

このように、要求信号LCDREQがHレベルになった時点では経路TR2、TR3は共に成立しないため、図8のM4に示すように開始信号LCDSTRはLレベルのままになる。

次に、MPUアクセス動作（MPUアクセス要求に応じたアクセス動作）が終了して、M7に示すように終了信号MPUENDがHレベルになると、M8に示すように開始信号LCDSTRがHレベルになり、LCDアクセス動作（LCDアクセス要求に応じたアクセス動作）が開始する。このようにして、MPU側とLCD側とでRAM100が時分割にアクセスされるようになる。

#### （C4）LCDアクセス要求の後にMPUアクセス要求があった場合

これは、図9のM21、M22に示すように、要求信号LCDREQがHレベルになった後に要求信号MPUREQがHレベルになった場合である。

まず、M21に示すように要求信号LCDREQがHレベルになると、上述の（C2）で説明したようにLCDREQによる第2のスルー経路TR2（図7参照）が成立し、M23に示すように開始信号LCDSTRがアクティブになる。

その後、M22に示すように要求信号MPUREQがHレベルになると、図7の第1のスルー経路TR1が成立し、M24に示すように開始信号MPUSTRがアクティブになる。この時、フリップフロップFF5は、FF6のXQ出力がLレベルになることによりリセットされる。従って、終了信号LCDENDがHレベルになるのを待たずに、M25に示すように開始信号LCDSTRがLレベルに強制的にリセットされ、LCDアクセス動作が中止（中断）させられる。

さて、要求信号LCDREQがHレベルになった時点で、M26に示すようにフリップフロップFF1のQ出力がHレベルとなっている。この状態で、M22に示すように要求信号MPUREQがHレベルになると、FF1のQ出力がD入力に接続されているFF3のQ出力もM27に示すようにHレベルになる。即ち、

一度中止されたLCDアクセス動作を再度開始させることについての予約情報（Hレベル）がフリップフロップFF3（保持回路）に保持されることになる。

この状態で、M28に示すように終了信号MPUENDがHレベルになると、FF3のQ出力（Hレベル）が入力されるオアゲートOR2の出力がHレベルであるため、アンドゲートAND3、AND4、オアゲートOR1の出力がHレベルになる。従って、第3の経路TR3が成立する。この結果、フリップフロップFF5の出力がHレベルになり、M29に示すように開始信号LCDSTRが再びアクティブになる。そして、M25で中止されたLCDアクセス動作が再び開始される。即ち、フリップフロップFF3に保持された予約情報に基づいて、LCDアクセス動作が再び開始される。

以上のように、LCDアクセス要求の後にMPUアクセス要求があった場合には、LCDアクセス要求により開始したLCDアクセス動作が中止（中断）され、MPUアクセス動作が開始される。そして、MPUアクセス動作が終了した後に、LCDアクセス動作が再び開始される。

#### （C5）MPUアクセス要求及びLCDアクセス要求が同時にあった場合

この場合には、要求信号MPUREQがHレベルになることで、第1のスルー経路TR1が成立し、開始信号MPUSTRがアクティブになる。

一方、フリップフロップFF3及びFF4のQ出力がともにHレベルになるため、オアゲートOR2の出力がHレベルになり、アンドゲートAND5の出力は強制的にLレベルになる。従って、第2のスルー経路TR2は成立しない。また、終了信号MPUENDがLレベルである場合には、アンドゲートAND3の出力もLレベルとなり、第3の経路TR3も成立しない。このように経路TR2、TR3が共に成立しないため、開始信号LCDSTRはアクティブにならない。

一方、終了信号MPUENDがHレベルになると、第3の経路TR3が成立し、開始信号LCDSTRがアクティブになり、LCDアクセス動作が開始される。

以上のように本実施形態では、MPUアクセス要求（第1のアクセス要求）とLCDアクセス要求（第2のアクセス要求）が競合した場合に、常にMPUアクセス要求を優先させるようにしている。即ち、図9に示すように、LCDREQ

がHレベルになった後にMPUREQがHレベルになると、LCDアクセス動作が中止されてMPUアクセス動作が開始し、MPUアクセス動作の終了後にLCDアクセス動作が再び開始する。

これに対して、特開平10-105505の従来技術では、MPUアクセス要求とLCDアクセス要求が競合した場合には、先に入力されたアクセス要求が優先される。即ち、特開平10-105505の図7に示すように、LCDREQがHレベルになった後にMPUREQがHレベルになると、まず、LCDアクセス動作が開始し、LCDアクセス動作の終了後にMPUアクセス動作が開始する。

しかしながら、この従来技術では、MPUアクセス要求、LCDアクセス要求が発生した時間差により、どちらのアクセス要求を優先させるかという処理が必要になってしまう。このため、特開平10-105505の図5に示すようにアービトラション回路の構成が複雑化し、誤動作が発生しやすくなる。

これに対して、本実施形態では、MPUアクセス要求とLCDアクセス要求が競合した場合に、常にMPUアクセス要求を優先される。従って、MPUアクセス要求、LCDアクセス要求が発生した時間差により、どちらのアクセス要求を優先させるかというような処理が不要になる。従って、図7に示すように、アービトラション回路の構成が簡素化され、誤動作の発生を効果的に防止できる。

また、MPUアクセス動作が終了するまでMPUがポーリング方式で待っているようなアプリケーションの場合には、特開平10-105505の従来技術では、LCDアクセス動作が終了するまでMPUが他のタスクを実行できない。

しかしながら、本実施形態によれば、MPUアクセス要求が常に優先され、MPUアクセス動作が直ぐに実行されるため、MPUを待たせる必要がなくなる。この結果、MPUのタスク処理の効率化を図れる。

## 7. RAMの時分割アクセス

図10は、図8のようにMPUアクセス要求の後にLCDアクセス要求があった場合の、RAMの時分割アクセスの様子を示した図である。図10において、MPUアクセス要求間の時間T1は、MPUアクセス動作の処理時間とLCDア

クセス動作の処理時間の和である時間 $T$ 以上になるように仕様上決められる。 $T_1 \geq T$ とすれば、図10のN1に示すようにMPUアクセス要求とLCDアクセス要求が競合した場合にも、N2に示すようにRAMの適正な時分割アクセスが可能になる。逆に言えば、MPUアクセス動作の処理時間及びLCDアクセス動作の処理時間は、共に時間 $T_1/2$ 以下の時間にする必要がある。

図11は、図9のようにLCDアクセス要求の後にMPUアクセス要求があった場合の、RAMの時分割アクセスの様子を示した図である。この場合にも、MPUアクセス要求間の時間 $T_1$ は、MPUアクセス動作の処理時間とLCDアクセス動作の処理時間の和である時間 $T$ 以上になる。

#### 8. メモリアクセスモニタ信号

本実施形態では、図2に示すように、RAMのアクセス状態をモニタするためのメモリアクセスモニタ信号/BUSYをMPUインターフェース110を介して外部端子に出力している。

このモニタ信号/BUSYは、図7に示すように、フリップフロップFF1のQ出力及びFF2のQ出力を入力とするオアゲートOR3の出力をインバータINV4で反転することで生成される。

ここで、フリップフロップFF1のQ出力は、図8のM10、図9のM30に示すように、要求信号LCDREQがHレベル（アクティブ）になったときにHレベルになり、終了信号LCDENDがHレベル（アクティブ）になったときにLレベル（非アクティブ）になる。

一方、フリップフロップFF2のQ出力は、図8のM11、図9のM31に示すように、要求信号MPUREQがHレベルになったときにHレベルになり、終了信号MPUENDがHレベルになったときにLレベルになる。メモリアクセスのモニタ信号/BUSYは、これらのフリップフロップFF1、FF2のQ出力の論理和（OR、NOR等）により生成される。

従って、図8のM12、図9のM32に示すように、モニタ信号/BUSYは、MPUアクセス動作、LCDアクセス動作のいずれかが行われている場合にLレ

ベル（アクティブ）になる。従って、信号／BUSYは、信号線ドライバの内蔵RAMがアクセスされていることのモニタ信号として利用できる。

このような外部端子に出力されたモニタ信号／BUSYは、MPUアクセス要求間の時間T1（図10、図11参照）の仕様を決める際の参考情報として活用できる。

即ち、MPUアクセス要求間の時間T1は、図10に示すように、MPUアクセス要求とLCDアクセス要求とが競合した場合にも適正にRAMを時分割にアクセスするために、MPUアクセス動作の処理時間とLCDアクセス動作の処理時間の和の時間T以上にする必要がある。

ところが、上記時間Tは、信号線ドライバの動作電圧、動作時の温度、製造プロセスのバラツキ等に起因して変化してしまう。従って、MPUアクセス要求間の時間（サイクルタイム）T1の仕様を決める際には、マージンを多くとる必要がある、結果として時間T1が長くなってしまう。そして、時間T1が長くなるということは、MPUからの表示データの書き込み時間が長くなることを意味し、特に液晶表示パネルが大画面化した場合に大きな問題となる。

これに対して、本実施形態のようにモニタ信号／BUSYを外部端子に出力すれば、信号線ドライバの評価時に／BUSYの信号レベルや信号レベルの変化タイミングなどを計測することで、時間T1の仕様を容易に決めることができる。

即ち、図8のM12、図9のM32に示すように、モニタ信号／BUSYは、MPUアクセス要求とLCDアクセス要求が競合した場合に、MPUアクセス動作の処理時間とLCDアクセス動作の処理時間の和である時間Tだけ、アクティブ（Lレベル）になる（時間Tよりも長くアクティブにしてもよい）。従って、アクセス要求の競合時においてモニタ信号／BUSYがアクティブになる時間を計測し、この計測時間以上になるようにT1を決めれば、RAMを適正に時分割アクセスできるようになる。

なお、本実施形態と異なる手法として、RAMがアクセス中か否かを示すモニタ情報（モニタビット）を信号線ドライバの内部レジスタに記憶する手法も考えられる。この手法によれば、MPUは、信号線ドライバの内部レジスタからモニタ

情報を読み出すことで、RAMがアクセス中か否かを判断できる。しかしながら、この手法では、RAMのアクセス動作の時間（図8においてモニタ信号／BUSYがLレベルになる時間）をモニタすることはできず、MPUアクセス要求間の時間 $T_1$ を決めることはできない。

#### 9. メモリアクセスモニタ信号を用いた高速動作

さて、図10、図11において、MPUアクセス要求のアクセス周波数は例えば2MHz程度であり、MPUアクセス要求間の時間 $T_1$ は例えば500ns程度である。一方、図2のラッチ回路132でのラッチ周波数は例えば14.4kHz程度であり、LCDアクセス要求間の時間 $T_2$ は69.4 $\mu$ s程度である。このように、LCDアクセス要求間の時間 $T_2$ は、MPUアクセス要求間の時間 $T_1$ よりも十分長い。また、図10では、MPUアクセス動作の処理時間とLCDアクセス動作の処理時間の和である時間を $T$ とした場合に、 $T_1 \geq T$ に設定されている。従って、MPUから表示データを連続してRAMに書き込む場合に、図10のN3、N4ではRAMへのアクセス動作が行われなくなり、処理に無駄がある。即ち、RAMの時分割アクセスを最適化できず、特に液晶表示パネルが大画面化した場合に大きな問題となる。

そこで、この問題を解決するために、図12に示すように、メモリアクセスのモニタ信号／BUSYを、MPU60のウェイト端子／WAIT（ハードウェアウェイト）に接続する。このようにすれば、MPUのバスコントローラ62が含むウェイト制御部64が、信号線ドライバ20のRAMのアクセス状態に応じてウェイト制御を行うようになる。従って、MPU60からの表示データを連続してRAMに書き込む際に、高速動作が期待できるようになる。

即ち、図13に示すように、MPUアクセス要求間の時間 $T_1$ は、ほとんどの場合、 $T_1 = T/2$ （或いは $T_1 \geq T/2$ ）でよく、MPUアクセス要求とLCDアクセス要求が競合した場合にのみ、 $T_1 = T$ （或いは $T_1 \geq T$ ）とすればよい。従って、図10のように常に $T_1 = T$ （ $T_1 \geq T$ ）とする場合に比べて、連続した表示データの書き込み処理を、より早く終了できるようになる。

## 10. プリチャージモニタ信号を用いた高速動作

さて、本実施形態では図14に示すように、アービトレーション回路160は、RAM制御回路170にRAMアクセスの開始信号LCDSTR、MPUSTRを出力し、RAM制御回路170は、RAMアクセスの終了信号LCDEND、MPUENDをアービトレーション回路170に出力している。そして、RAM制御回路170は、更に、RAM100のプリチャージ状態のモニタ信号RAMPREをアービトレーション回路170に出力している。このモニタ信号RAMPREは、RAM100のプリチャージ動作が完了したと判断された場合にHレベルになる信号である。

即ち、RAMをアクセスする際には、本来、ビット線対(BL、/BL)をHレベルにプリチャージした後、メモリセルMにリード・ライトするという一連の動作が必要となる。従って、アービトレーション回路160が開始信号MPUSTR又はLCDSTRをアクティブ(Hレベル)にすると、RAM制御回路170は、まず、RAM100のプリチャージ動作を行う必要がある。より具体的には、RAM制御回路170がプリチャージ信号/PC1をアクティブにし、この信号/PC1を受けた各プリチャージ回路Pが、各ビット線対(BL、/BL)をHレベルにプリチャージする。

この場合、従来は、プリチャージ動作が完了してからアクセス動作が開始されるように、プリチャージ期間を十分に長くし、マージンを多くとるという設計を行っていた。このため、RAMのアクセス時間が結果として長くなってしまい、RAMの高速動作を実現できなかった。

そこで、本実施形態では、図14に示すようなダミーRAM200(プリチャージが完了したか否かの判断手段)を設けると共に、このダミーRAM200のビット線対(BL、/BL)を入力とするアンドゲートAND8をRAM制御回路170に設けている。このようにすれば、ダミーRAM200のビット線対(BL、/BL)がプリチャージによりHレベルになると、アンドゲートAND8(広義には論理積。NAND等でもよい)の出力であるプリチャージモニタ信

号RAMPREもHレベルになり、プリチャージ動作が完了したか否かをモニタできるようにする。

即ち、図15のN11に示すように、フリップフロップFF5の出力であるFF5QがHレベルになっても、モニタ信号RAMPREがLレベルの時には、N12に示すように開始信号LCDSTRはLレベルのままとなる。そして、N13に示すようにモニタ信号RAMPREがHレベルになると、初めて、N14に示すように開始信号LCDSTRがHレベルになる。従って、プリチャージ動作が完了したら直ぐにLCDアクセスを開始できるようになる。

同様に、N15に示すように、フリップフロップFF6のQ出力であるFF6QがHレベルになっても、RAMPREがLレベルの時には、N16に示すようにMPUSTRはLレベルのままとなる。そして、N17示すようにRAMPREがHレベルになると、初めて、N18に示すようにMPUSTRがHレベルになる。従って、プリチャージ動作が完了したら直ぐにMPUアクセスを開始できるようになる。

このように本実施形態では、RAMのプリチャージ動作が完了し、プリチャージモニタ信号RAMPREがHレベルになると、直ちにRAMのアクセス動作に移行できる。従って、RAMに対するアクセス時間を最適化でき、RAMアクセスを高速化できるようになる。

### 11. 連続データ転送の高速化

上述した手法では、RAMアクセス時間の最適化を図ることにより、RAMアクセスを高速化している。ここでは、連続データ転送の高速化を実現できる他の手法について説明する。

本実施形態における液晶表示パネルの表示アドレス空間とRAMのメモリアドレス空間は図3A、図3B、図4で説明した通りである。MPUは、カラムアドレス[0~319]とページアドレス[0~29]を予め指定し、表示データの書き込み又は読み出し処理を行う。

ここで、MPUが、例えば図16に示すような特定の表示エリア（カラムアド

レス144～175、ページアドレス4～7)の表示データを書き換える場合について考える。

このような特定の表示エリアの表示データを書き換える技術としては、例えば特開平10-106254に開示される従来技術がある。

この従来技術では図17AのN20に示すように、まず、MPUが、表示エリア210のカラムスタートアドレスCSA、ページ(ロウ)スタートアドレスPSAを設定し、書き込み開始コマンドを発行する。すると、N21に示すようにカラムアドレスが自動的にインクリメントされる。そして、カラムアドレスが表示エリア210の右端部のアドレス(カラムエンドアドレス)を越えた時に、N22に示すように、MPUが、リターンコマンド及び書き込み開始コマンドを発行する。すると、N23に示すように、カラムアドレスがカラムスタートアドレスCSAに戻されると共にページ(ロウ)アドレスが1だけインクリメントされる。そして、N24に示すようにカラムアドレスが自動的にインクリメントされ、カラムアドレスが表示エリア210の右端部のアドレスを越えた時に、MPUが、リターンコマンド及び書き込み開始コマンドを再度発行する。

図17Aから明らかなように、この従来技術では、カラムアドレスが表示エリア210の右端部のアドレスを越える毎に、MPUがリターンコマンド及び書き込み開始コマンドを発行しなければならない。このため、MPUの処理負荷が過大になってしまう。

そこで、本実施形態では図17Bに示すような手法を採用している。

即ち、まず図17BのN30に示すように、MPUが、表示エリア210のカラムスタートアドレスCSA、カラムエンドアドレスCEA、ページスタートアドレスPSA、ページエンドアドレスPEAを設定し、書き込み開始コマンドを発行する。なお、CSA及びCEAのみを設定し、PSA及びPEAを設定しないようにすることもできるし、PSA及びPEAのみを設定し、CSA及びCEAを設定しないようにすることもできる。

すると、N31に示すようにカラムアドレスが自動的にインクリメントされる。そして、N32に示すように、カラムアドレスがカラムエンドアドレスCEAを

越えると、N 3 3 に示すように、カラムアドレスがカラムスタートアドレス C S A に自動的に戻されると共に、ページアドレスが自動的に 1 つインクリメントされる。そして、N 3 4 に示すようにカラムアドレスが自動的にインクリメントされ、N 3 5 に示すように、カラムアドレスがカラムエンドアドレス C E A を越えると、N 3 6 に示すように、カラムアドレスがカラムスタートアドレス C S A に戻されると共にページアドレスが 1 つインクリメントされる。

このように本実施形態によれば、M P U は、N 3 0 に示すように最初に C S A、C E A、P S A、P E A を設定し、書き込み開始コマンドを発行すればよく、その後図 1 7 A の N 2 2 に示すようなリターンコマンドや書き込み開始コマンドを発行する必要がない。従って、表示エリア 2 1 0 の表示データを書き換える際の M P U の処理負荷を、図 1 7 A に比べて格段に軽減できるようになる。

次に、図 1 7 B の手法の詳細について説明する。

図 1 8 は、表示エリアの表示データを書き換える際の M P U の処理フローについて示すフローチャートである。

まず、M P U はスキャン方向（この場合は、カラム方向）を設定する（ステップ S 1）。

次に、カラムスタートアドレス（図 1 6 では 1 4 4）及びカラムエンドアドレス（図 1 6 では 1 7 5）を設定する（ステップ S 2、S 3）。次に、ページスタートアドレス（図 1 6 では 4）及びページエンドアドレス（図 1 6 では 7）を設定する（ステップ S 4、S 5）。そして、R A M への表示データの書き込みコマンドを発行する（ステップ S 6）。このようにして、R A M への表示データの連続書き込みが開始される。

図 1 9 は、カラムアドレス制御回路 1 2 2、ページアドレス制御回路 1 4 0、M P U 側制御回路 1 2 0 の具体的な構成例を示すブロック図である。

カラムアドレス制御回路 1 2 2 は、カラムアドレスレジスタ 2 2 0、カラムアドレスカウンタ 2 2 2、カラムアドレスデコーダ 2 2 4 を含む。

ここで、カラムアドレスレジスタ 2 2 0 は、M P U により設定されるカラムスタートアドレスやカラムエンドアドレスを保持する。カラムアドレスカウンタ 2

22は、インクリメントクロックINCCLKに基づいてカラムアドレスを順次インクリメントする。カラムアドレスデコーダ224は、カラムアドレスカウンタ222によりインクリメントされるカラムアドレスをデコードして出力する。

ページ（ロウ）アドレス制御回路140は、ページアドレスレジスタ230、ページアドレスカウンタ232、ページアドレスデコーダ234を含む。

ここで、ページアドレスレジスタ230は、MPUにより設定されるページスタートアドレスやページエンドアドレスを保持する。ページアドレスカウンタ232は、インクリメントクロックINCCLKに基づいてページアドレスを順次インクリメントする。ページアドレスデコーダ234は、ページアドレスカウンタ232によりインクリメントされるページアドレスをデコードして出力する。

MPU側制御回路120はカウンタ制御回路240を含む。このカウンタ制御回路240は、カラムアドレスカウンタ222でのカラムアドレスのインクリメント動作や、ページアドレスカウンタ232でのページアドレスのインクリメント動作を制御する。

次に、図19の回路動作について図20のタイミングチャートを用いて説明する。

まず、カラムアドレスカウンタ222は、カラムアドレスレジスタ220からカラムスタートアドレスをロードする。図20では、N40に示すように[0000000]がロードされている。

次に、N41に示すように、カラムアドレスカウンタ222は、インクリメントクロックINCCLKに基づいてカラムアドレスを順次インクリメントする。

そして、カラムアドレスが、カラムエンドアドレス+1の値に達すると（カラムエンドアドレスを越えると）、N42に示すようにカラムアドレスカウンタ222は終了信号CENDをアクティブにする。すると、この終了信号CENDを受けたカウンタ制御回路240は、カラムアドレスカウンタ222に出力する制御信号CCTLをN43に示すようにアクティブにする。これにより、N44に示すようにカラムアドレスがカラムスタートアドレスにリセットされる。

また、終了信号CENDを受けたカウンタ制御回路240は、ページアドレス

カウンタ 2 3 2 に出力する制御信号 P C T L を N 4 5 に示すようにアクティブにする。これにより、N 4 6 に示すようにページアドレスが 1 つだけインクリメントされる。以上の動作を繰り返すことで、表示エリアの表示データが書き換えられる。

なお、上記ではスキャン方向をカラム方向に設定した場合について説明したが、本実施形態では、スキャン方向をページ方向に設定することもできる。この場合の動作は次のようになる。

即ち、ページアドレスカウンタ 2 3 2 は、ロードされたページスタートアドレスをインクリメントクロック I N C C L K に基づいて順次インクリメントする。そして、ページアドレスがページエンドアドレス + 1 の値に達すると、終了信号 P E N D をアクティブにする。すると、制御信号 P C T L がアクティブになりページアドレスがページスタートアドレスにリセットされると共に、C C T L がアクティブになりカラムアドレスが 1 つだけインクリメントされる。以上の動作を繰り返すことで、表示エリアの表示データが書き換えられる。

以上のように本実施形態によれば、図 1 6 に示すような表示エリア 2 1 0 へのアクセス動作（ライト動作、リード動作）を、M P U の処理負荷を重くすることなく実現できるようになる。なお、図 2 1 に、図 1 6 に示すような表示エリア 2 1 0 に表示データを書き込む際の、カラムアドレス及びページアドレスの変化の様子を示す。

## 1 2 . 低消費電力動作

本実施形態では、図 1 に示すように M P U のチップセレクト信号（端子）／C S が複数の信号線ドライバに共通に接続される。また図 3 A、図 3 B、図 1 6 に示すように、複数の信号線ドライバを用いた場合にも、カラムアドレスを連続したアドレスとして管理することができる。従って、M P U は、信号線ドライバを複数個使用していることを意識する必要がなく、使い勝手がよい。

しかしながら、ある特定の時点において、M P U によりアクセスされている R A M を有する信号線ドライバは 1 つだけである。例えば図 2 2 において、信号線

ドライバ22のRAM100がMPU60によりアクセスされている場合には、他の信号線ドライバ24、26、28は非該当であり、これらの信号線ドライバ24、26、28のRAM100はアクセスされていない。ところが、この場合にも、信号線ドライバ24、26、28のRAM100のワード線の1本はアクティブになっており、いわゆる空書きが行われてしまう。従って、本来動作する必要が無い部分が動作することになり、無駄な電力が消費されてしまう。このため、RAM内蔵の信号線ドライバを使用しているにもかかわらず、低消費電力動作の点で不利となる。

そこで、本実施形態では、図22に示すように、例えば信号線ドライバ22のRAM100がMPU60によりアクセスされている場合には、他の信号線ドライバ24、26、28では、RAM100へのアクセス動作に関する動作部分を非動作にする。このようにすることで、信号線ドライバ24、26、28のRAM100への空書き等が防止され、低消費電力動作を実現できる。

より具体的には以下のような手法により、低消費電力動作を実現している。

図23は、図2のカラムアドレス変換回路121の具体的な構成を示すブロック図である。図23に示すようにカラムアドレス変換回路121には、MPU側制御回路120からの10ビットのアドレスICA[0:9]と、外部端子(図1、図2参照)からの2ビットの信号LR0、LR1が入力される。

ここで、アドレスICA[0:9]は、MPUが[0~639]のカラムアドレスを管理できるように表現された10ビットの信号である。またLR0、LR1は、図1、図2で説明したように、最大で4つの信号線ドライバを使い分けるために使用される信号である。

カラムアドレス変換回路121は、これらのICA[0:9]とLR0、LR1に基づいて、10ビットのアドレスICA[0:9]を8ビットの相対アドレスCA[0:7]に変換して出力する。また、当該信号線ドライバのRAMがアクセスされている場合に、アクティブになる制御信号CAONも出力している。

より具体的には、図23に示すように、カラムアドレス変換回路121は、ROM250と比較回路252を含む。そして、ICA[0:9]のうち、上位の

5ビットのアドレスであるICA[5:9]がROM250に入力される。ROM250は、この5ビットのアドレスICA[5:9]に基づいて、図24に示すような変換を行い、3ビットのアドレスCA[5:7]を出力する。

また、ROM250は、入力された上位の5ビットのアドレスICA[5:9]に基づいて、そのアドレスが、何段目の信号線ドライバのアドレスなのかを判断する。そして、1段目の信号線ドライバのアドレスであった場合には、信号(L00、L01)を(L、L)レベルにして出力する。同様に、2段目、3段目、4段目の信号線ドライバのアドレスであった場合には、信号(L00、L01)を、各々、(L、H)、(H、L)、(H、H)レベルにして出力する。そして、比較回路252は、ROM250からの信号L00、L01と、外部端子からの信号LR0、LR1とを比較し、一致した場合にのみ、制御信号CAONをアクティブにする。このようにすれば、指定されるアドレスが、当該信号線ドライバのアドレスであった場合にのみ、制御信号CAONがアクティブになる。

図24に示すような変換により、アドレスICA[0:9]を相対アドレスCA[0:7]に変換すると、図25に示すようになる。

即ち、1段目の信号線ドライバ22では、アドレス[0~159]から0が引かれて、アドレス[0~159]に変換される。また、2段目の信号線ドライバ24では、アドレス[160~319]から160が引かれて、アドレス[0~159]に変換される。また、3段目の信号線ドライバ26では、アドレス[320~479]から320が引かれて、アドレス[0~159]に変換される。また、4段目の信号線ドライバ28では、アドレス[480~639]から480が引かれて、アドレス[0~159]に変換される。即ち、全ての信号線ドライバ22、24、26、28において、カラムアドレス変換回路121からの出力アドレスは、必ず[0~159]になる。

このようにすることで、カラムアドレス制御回路120が含むカラムアドレスデコーダ(図5のADEC)の回路規模を格段に小さくできるようになる。

即ち、特開平10-105505の従来技術では、カラムアドレスデコーダに8ビットのアドレスCA[0:7]と信号LR0、LR1が入力される。従って、

各カラムアドレスデコーダは [ 0 ~ 6 3 9 ] の範囲のアドレスをデコードしなければならない、アドレスデコーダの回路規模が非常に大きくなる。

これに対して、本実施形態では、各カラムアドレスデコーダは [ 0 ~ 1 5 9 ] の範囲のアドレスをデコードするだけでよい。従って、カラムアドレスデコーダの回路規模を、上記従来技術のカラムアドレスデコーダの 1 / 4 程度にすることができる。この場合、本実施形態では、図 2 3 の R O M 2 5 0 が余分に必要になり、その分だけ回路規模が増加する。しかしながら、1 6 0 個のカラムアドレスデコーダの回路規模を各々 1 / 4 程度にすることで、R O M 2 5 0 による回路規模の増加は容易に相殺できる。

また、本実施形態では、カラムアドレス変換回路 1 2 1 が出力する制御信号 C A O N を有効利用することで、以下のように低消費電力動作を実現している。

即ち、本実施形態では、制御信号 C A O N を用いて、図 5 の制御信号 C A L C T L を生成している。この制御信号 C A L C T L が H レベルになると、トランスファークロスタック T R の P 型トランジスタ T P がオフになり、カラムアドレスデコーダ A D E C の出力が有効になる。一方、制御信号 C A L C T L が L レベルになると、トランスファークロスタック T R の P 型トランジスタ T P がオンになり、カラムアドレスデコーダ A D E C の出力が強制的に H レベルに設定される。即ち、カラムアドレスデコーダ A D E C の出力が無効になる。

そして、本実施形態では、R A M がアクセスされている信号線ドライバ（例えば図 2 2 の信号線ドライバ 2 2 ）では、制御信号 C A O N が H レベル（アクティブ）になり、制御信号 C A L C T L も H レベルになる。従って、カラムアドレスデコーダ A D E C の出力は有効になり、R A M へのアクセスが許容される。

一方、非該当の信号線ドライバ（例えば図 2 2 の信号線ドライバ 2 4 、 2 6 、 2 8 ）では、制御信号 C A O N が L レベル（非アクティブ）になり、制御信号 C A L C T L も L レベルになる。従って、カラムアドレスデコーダ A D E C の出力は常に無効になり、カラムスイッチ C L S は常にオフ状態になる。これにより、非該当の信号線ドライバの消費電流を抑えることができ、低消費電力動作を実現できる。

更に、本実施形態では、制御信号CAONを利用して、非該当の信号線ドライバではワード線がアクティブにならないようにしている。より具体的には、ワード線に与えられる選択信号は、図2のページアドレス制御回路140で生成されるページアドレスと、RAM制御回路170が出力するパルス信号とにより生成される。そして、本実施形態では、制御信号CAONがLレベル（非アクティブ）の場合には、上記パルス信号がLレベル（非アクティブ）に固定される。これにより、非該当の信号線ドライバではワード線がアクティブにならなくなる。従って、非該当の信号線ドライバの消費電流を抑えることができ、低消費電力動作を実現できる。

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

例えば、メモリアクセスモニタ信号を外部端子に出力する発明や、プリチャージ動作の完了を条件にメモリへのアクセス動作を開始させる発明においては、アービトレーション回路における調停は、図8、図9で説明した手法に限定されない。即ち、特開平10-105505号に開示されるような手法により調停を行ってもよい。

また、本実施形態では、MLS駆動により表示部を駆動する駆動装置を例にとり説明したが、本発明は、MLS駆動を用いない駆動装置や、液晶表示パネル以外の表示部を駆動する駆動装置にも適用できる。

## 請 求 の 範 囲

(1) マイクロプロセッサユニットからの表示データを受け、表示部を駆動する駆動装置であって、

前記表示部での画像表示に使用される表示データを記憶するメモリと、

前記マイクロプロセッサユニットからのコマンドに従った前記メモリへのアクセス要求である第1のアクセス要求と、前記表示部での表示動作に従った前記メモリへのアクセス要求である第2のアクセス要求とを受け、前記第1、第2のアクセス要求のいずれを優先させるかを調停し、前記第1、第2のアクセス要求のいずれかに応じた前記メモリへのアクセス動作を開始させるアービトレーション回路と、

前記アービトレーション回路の調停に従ってアクセス動作が開始される前記メモリのアクセス状態をモニタするためのメモリアクセスモニタ信号を、外部端子に出力する回路と、

を含むことを特徴とする駆動装置。

(2) 請求項1において、

前記メモリアクセスモニタ信号が、

前記第1、第2のアクセス要求が競合した場合には、少なくとも、前記第1のアクセス要求に応じた第1のアクセス動作の処理時間と前記第2のアクセス要求に応じた第2のアクセス動作の処理時間の和の時間だけ、アクティブになることを特徴とする駆動装置。

(3) 請求項1において、

前記メモリアクセスモニタ信号が、前記外部端子を介して前記マイクロプロセッサユニットのウェイト端子に出力される信号であることを特徴とする駆動装置。

(4) 請求項1において、

前記第1のアクセス要求の信号を出力する第1の制御回路と、

前記第2のアクセス要求の信号を出力する第2の制御回路と、

前記第1のアクセス要求に応じた第1のアクセス動作の終了時にアクティブに

なる第1の動作終了信号と、前記第2のアクセス要求に応じた第2のアクセス動作の終了時にアクティブになる第2の動作終了信号とを出力する第3の制御回路を含み、

前記メモリアクセスモニタ信号が、

前記第1のアクセス要求信号がアクティブになった場合にアクティブになり前記第1の動作終了信号がアクティブになった場合に非アクティブになる信号と、前記第2のアクセス要求信号がアクティブになった場合にアクティブになり前記第2の動作終了信号がアクティブになった場合に非アクティブになる信号との論理和により生成されることを特徴とする駆動装置。

(5) マイクロプロセッサユニットからの表示データを受け、表示部を駆動する駆動装置であって、

前記表示部での画像表示に使用される表示データを記憶するメモリと、

前記マイクロプロセッサユニットからのコマンドに従った前記メモリへのアクセス要求である第1のアクセス要求と、前記表示部での表示動作に従った前記メモリへのアクセス要求である第2のアクセス要求とを受け、前記第1、第2のアクセス要求のいずれを優先させるかを調停し、前記第1、第2のアクセス要求のいずれかに応じた前記メモリへのアクセス動作を開始させるアービトレーション回路と、

前記メモリへのアクセス動作の開始前に、前記メモリのプリチャージ動作を行うメモリ制御回路と、

前記メモリのプリチャージ動作が完了したか否かを判断する判断手段とを含み、前記アービトレーション回路は、

前記メモリのプリチャージ動作が完了したと判断されたことを条件に、前記第1、第2のアクセス要求のいずれかに応じた前記メモリへのアクセス動作を開始させることを特徴とする駆動装置。

(6) 請求項5において、

前記メモリ制御回路が、

前記メモリのプリチャージ動作が完了したと判断された場合に、プリチャージ

モニタ信号をアクティブにし、

前記アービトレーション回路が、

前記プリチャージモニタ信号がアクティブになったことを条件に、前記第 1、第 2 のアクセス要求に応じた前記メモリへのアクセス動作を開始させることを特徴とする駆動装置。

(7) 請求項 6 において、

前記判断手段が、

前記メモリのプリチャージ動作が完了したか否かを判断するためのダミーのメモリを含み、

前記プリチャージモニタ信号が、

前記ダミーのメモリの第 1、第 2 のビット線の信号の論理積により生成されることを特徴とする駆動装置。

(8) マイクロプロセッサユニットからの表示データを受け、表示部を駆動する駆動装置であって、

前記表示部での画像表示に使用される表示データを記憶するメモリと、

前記マイクロプロセッサユニットが、前記メモリの特定の表示エリアにアクセスするために前記メモリのカラムアドレス及びロウアドレスの一方のアドレスである第 1 のアドレスに関する第 1 のスタートアドレス及び第 1 のエンドアドレスを設定し、前記メモリへのアクセス動作を開始させた場合に、前記第 1 のアドレスを自動的に変化させ、前記第 1 のアドレスが前記第 1 のエンドアドレスを越えたことを条件に前記第 1 のアドレスを前記第 1 のスタートアドレスに戻すと共に、前記カラムアドレス及び前記ロウアドレスの他方のアドレスである第 2 のアドレスを変化させるアドレス制御回路と、

を含むことを特徴とする駆動装置。

(9) 請求項 8 において、

駆動装置が第 1 ～第 N の駆動装置を含み、

第 M の駆動装置が含むメモリのアクセス動作が行われている場合には、他の駆動装置においては、メモリへのアクセス動作に関する動作部分が非動作にされる

ことを特徴とする駆動装置。

(10) 請求項9において、

前記第1～第Nの駆動装置が、第1～第Nのカラムアドレス変換回路と第1～第Nのカラムアドレス制御回路を含み、

前記第1～第Nのカラムアドレス変換回路の各カラムアドレス変換回路が、

前記マイクロプロセッサユニットにより設定されるカラムアドレスを相対アドレスに変換して後段の各カラムアドレス制御回路に出力すると共に、各カラムアドレス制御回路が含むカラムアドレスデコーダの出力を有効又は無効にするための制御信号を出力することを特徴とする駆動装置。

(11) マイクロプロセッサユニットからの表示データを受け、表示部を駆動する駆動装置であって、

前記マイクロプロセッサユニットからの前記表示データを記憶するメモリと、

前記マイクロプロセッサユニットからのコマンドに従った前記メモリへのアクセス要求である第1のアクセス要求と、前記表示部での表示動作に従った前記メモリへのアクセス要求である第2のアクセス要求とを受け、前記第1、第2のアクセス要求のいずれを優先させるかを調停し、前記第1、第2のアクセス要求のいずれかに応じた前記メモリへのアクセス動作を開始させるアービトレーション回路とを含み、

前記アービトレーション回路は、前記第1、第2のアクセス要求が競合した場合には、常に前記第1のアクセス要求を優先させるように調停を行うことを特徴とする駆動装置。

(12) 請求項11において、

前記アービトレーション回路が、

前記第2のアクセス要求を受けた後、前記第2のアクセス要求に応じた第2のアクセス動作が終了する前に、前記第1のアクセス要求を受けた場合には、前記第2のアクセス動作を中止させると共に前記第1のアクセス要求に応じた第1のアクセス動作を開始させ、前記第1のアクセス動作の終了後に、前記第2のアクセス動作を再度開始させることを特徴とする駆動装置。

(13) 請求項12において、

前記アービトレーション回路が、

前記第2のアクセス要求を受けた後、前記第2のアクセス要求に応じた第2のアクセス動作が終了する前に、前記第1のアクセス要求を受けた場合に、前記第2のアクセス動作を再度開始させることについての予約情報を保持する保持回路を含み、

前記保持回路に記憶される前記予約情報に基づいて、前記第1のアクセス動作の終了後に、前記第2のアクセス動作を再度開始させることを特徴とする駆動装置。

(14) 請求項11において、

駆動装置が第1～第Nの駆動装置を含み、

第Mの駆動装置が含むメモリのアクセス動作が行われている場合には、他の駆動装置においては、メモリへのアクセス動作に関する動作部分が非動作にされることを特徴とする駆動装置。

(15) 請求項11において、

前記第1～第Nの駆動装置が、第1～第Nのカラムアドレス変換回路と第1～第Nのカラムアドレス制御回路を含み、

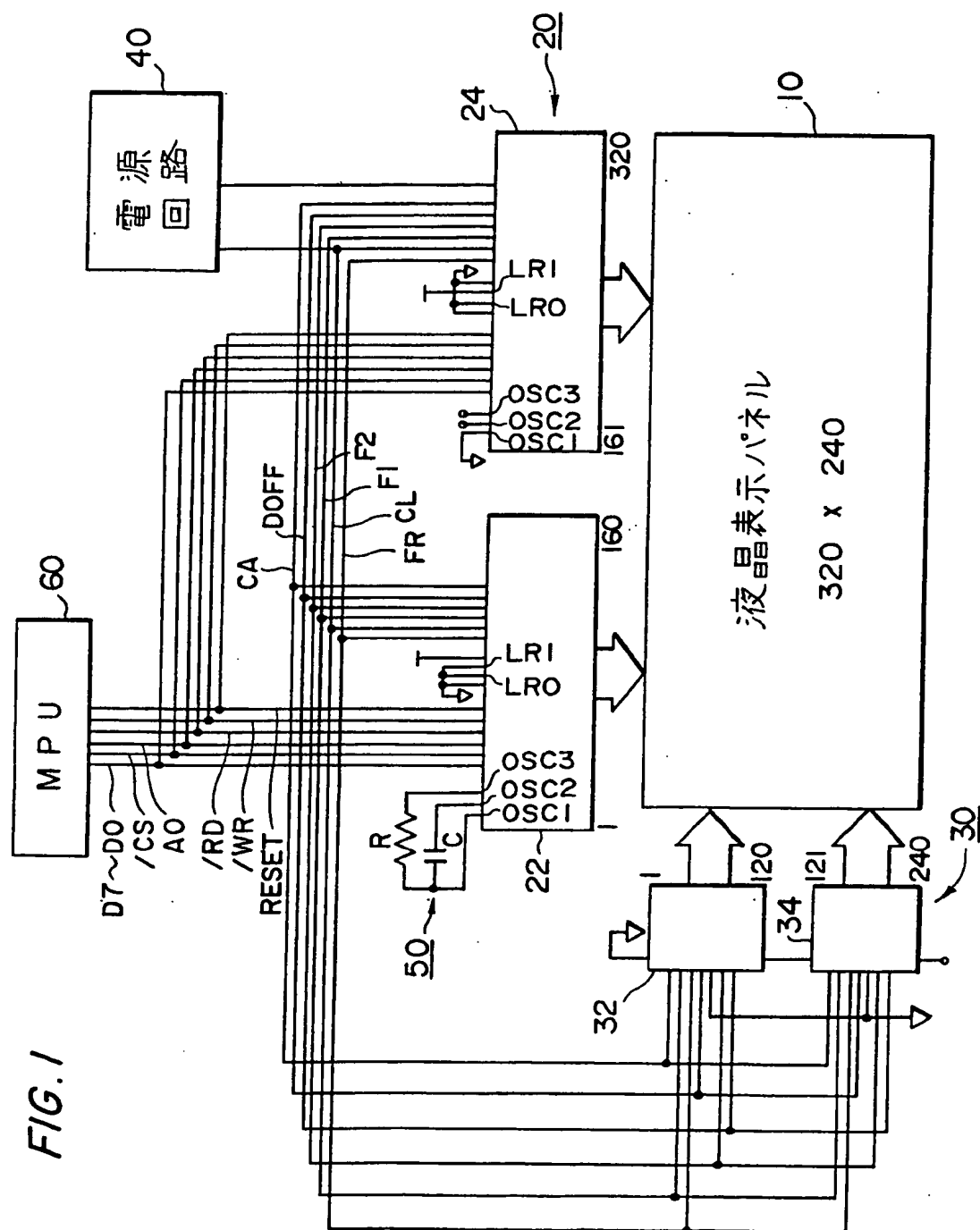
前記第1～第Nのカラムアドレス変換回路の各カラムアドレス変換回路が、

前記マイクロプロセッサユニットにより設定されるカラムアドレスを相対アドレスに変換して後段の各カラムアドレス制御回路に出力すると共に、各カラムアドレス制御回路が含むカラムアドレスデコーダの出力を有効又は無効にするための制御信号を出力することを特徴とする駆動装置。

(16) 請求項1乃至15のいずれかの駆動装置と、

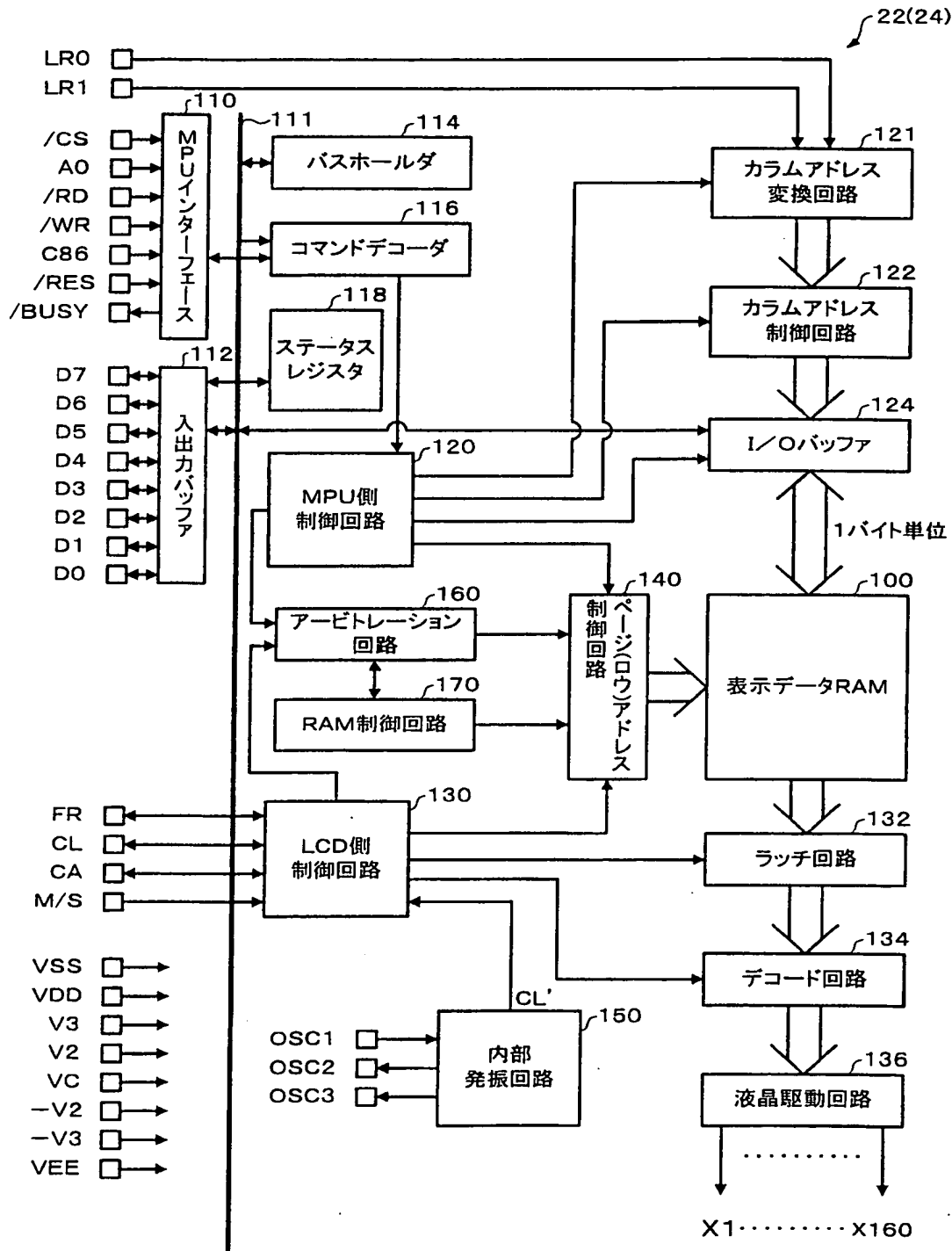
前記駆動装置により駆動される液晶表示パネルとを含むことを特徴とする液晶装置。

1 / 25

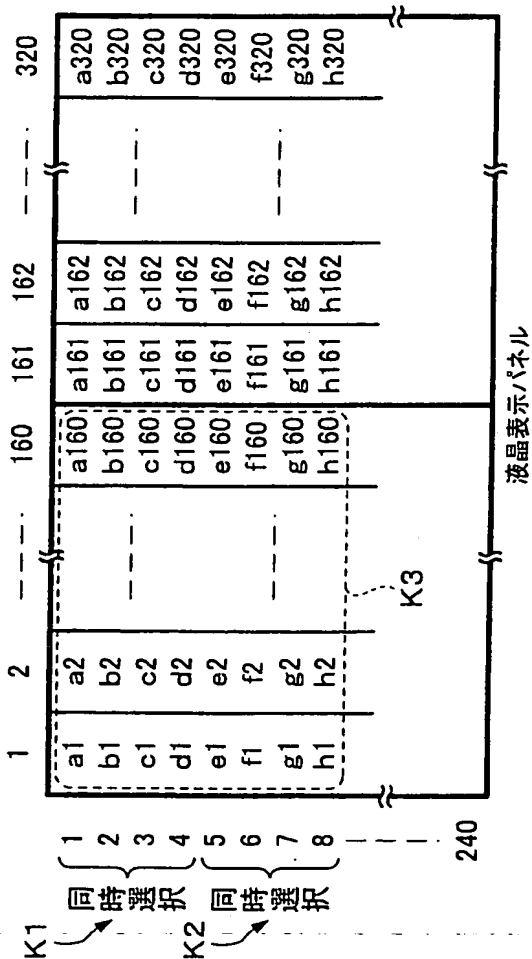


2/25

FIG.2



**FIG. 3A**



**FIG. 3B**

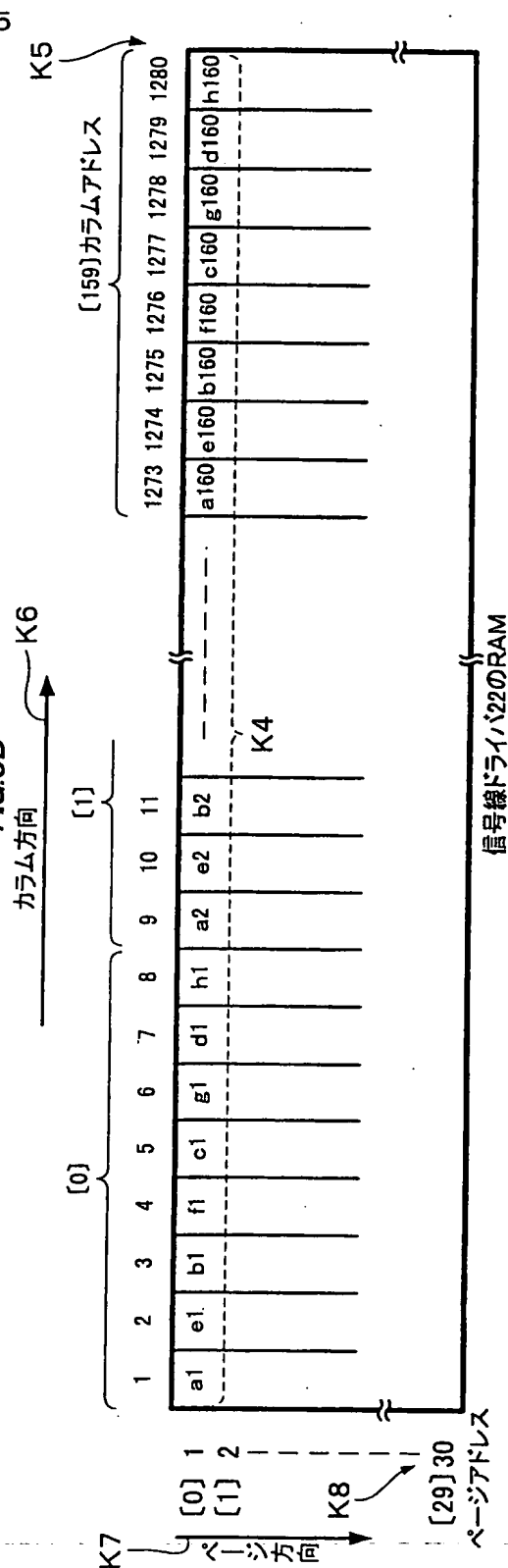
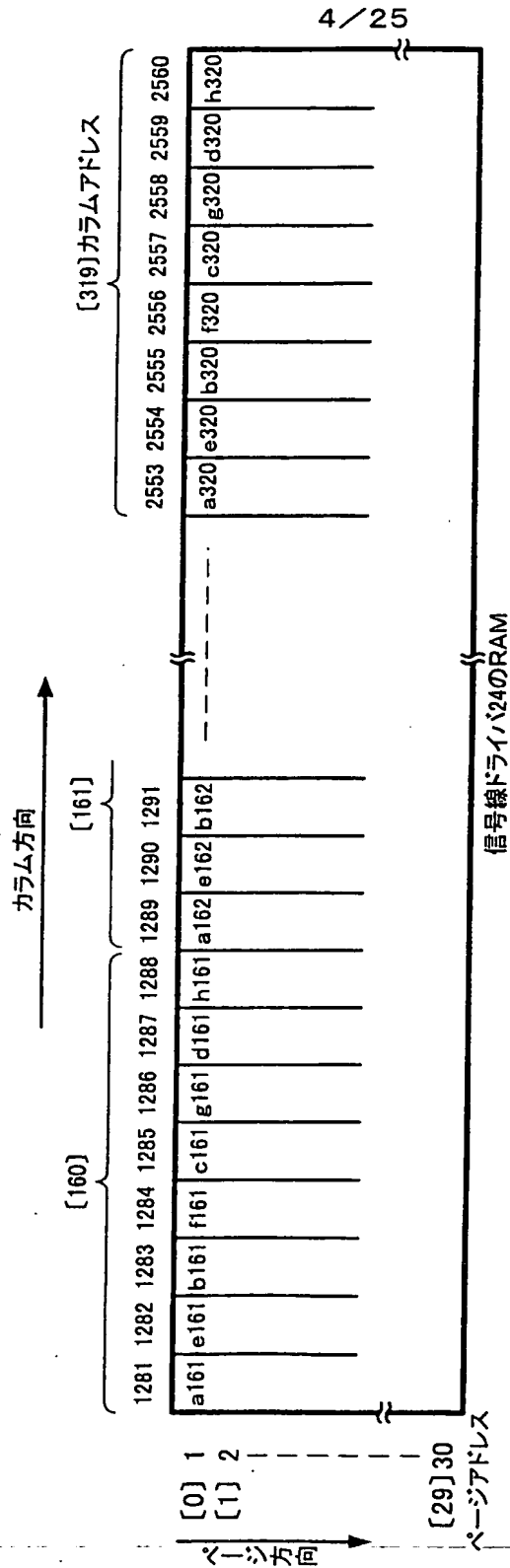
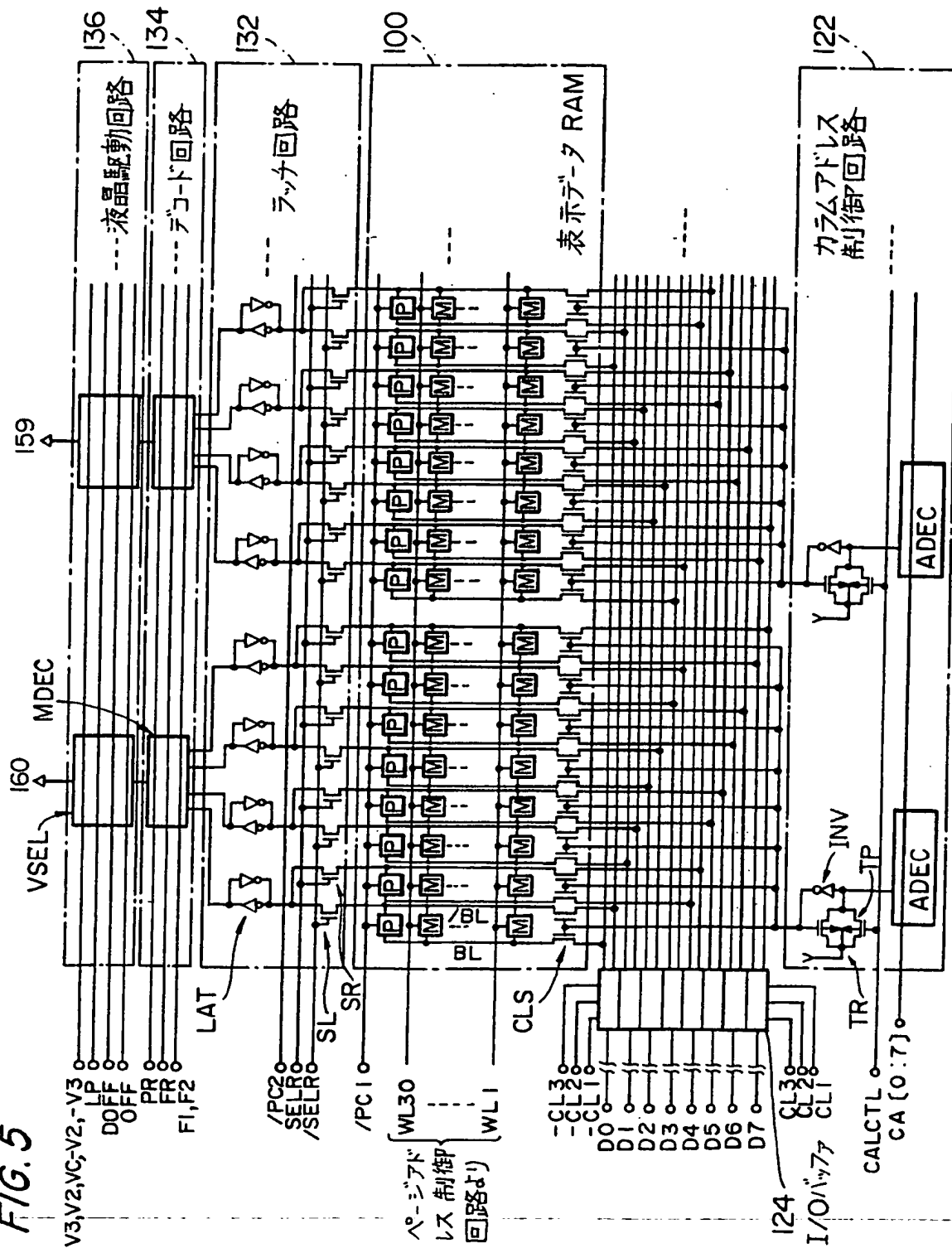


FIG. 4

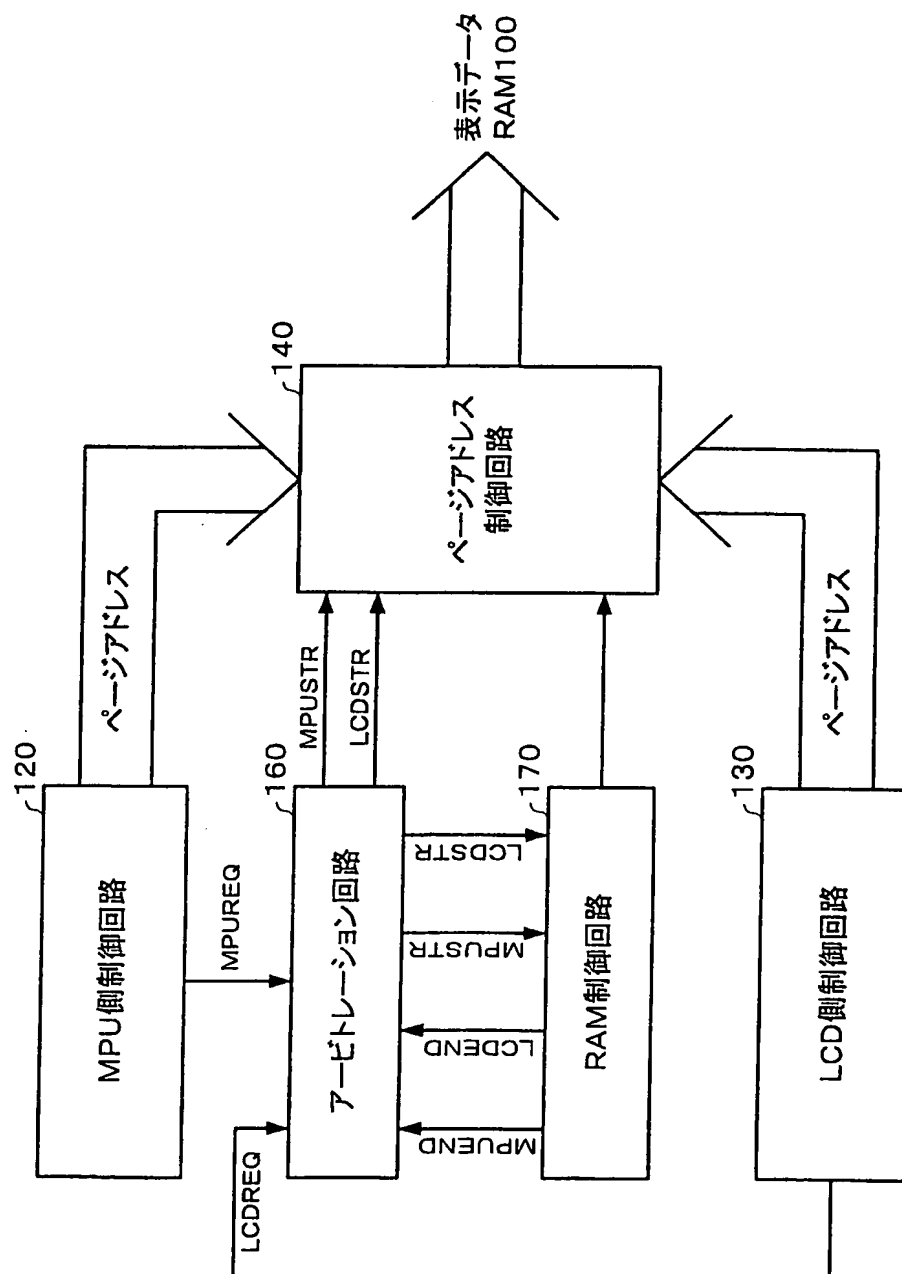


**FIG. 5**



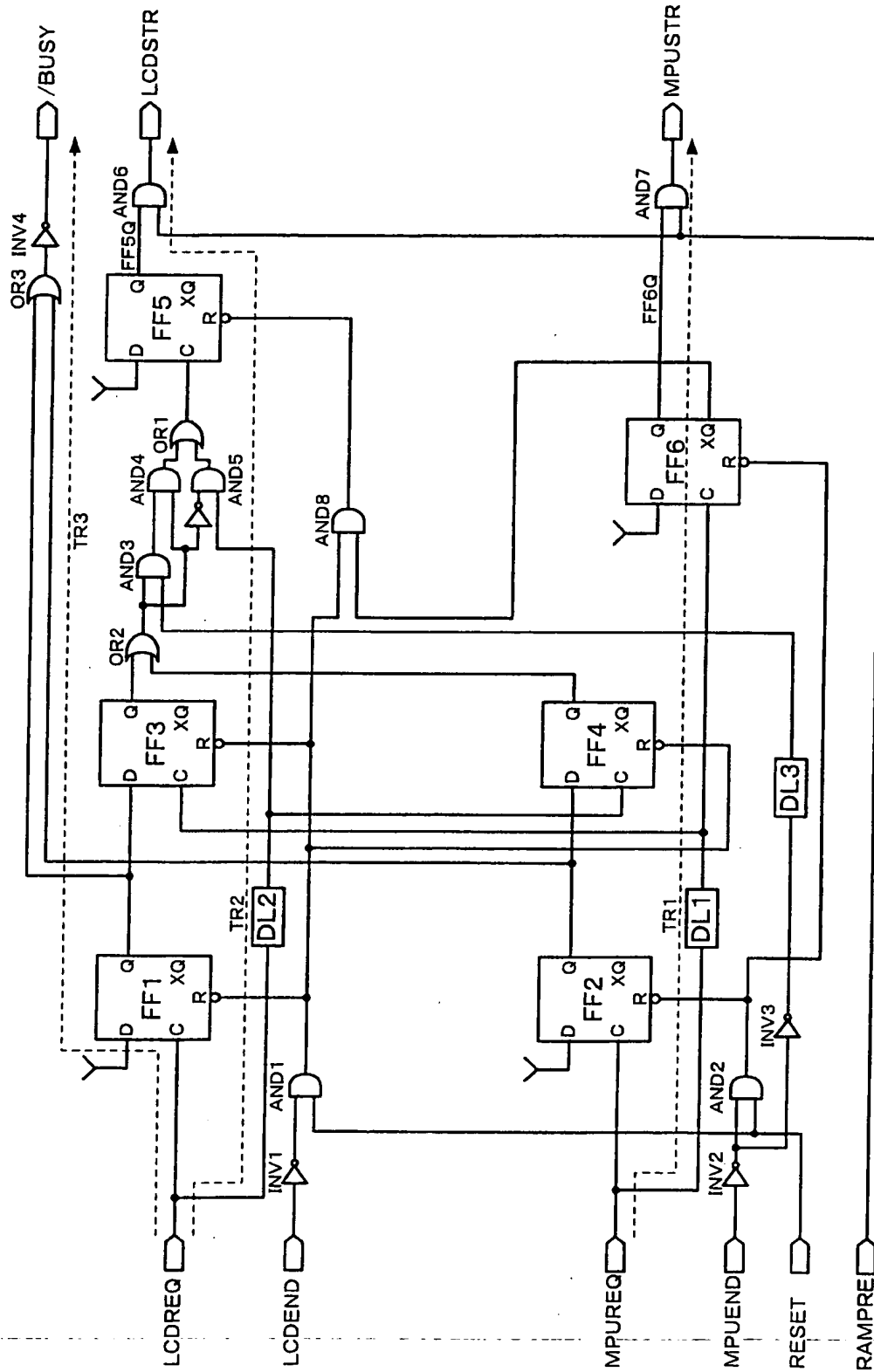
6/25

FIG. 6



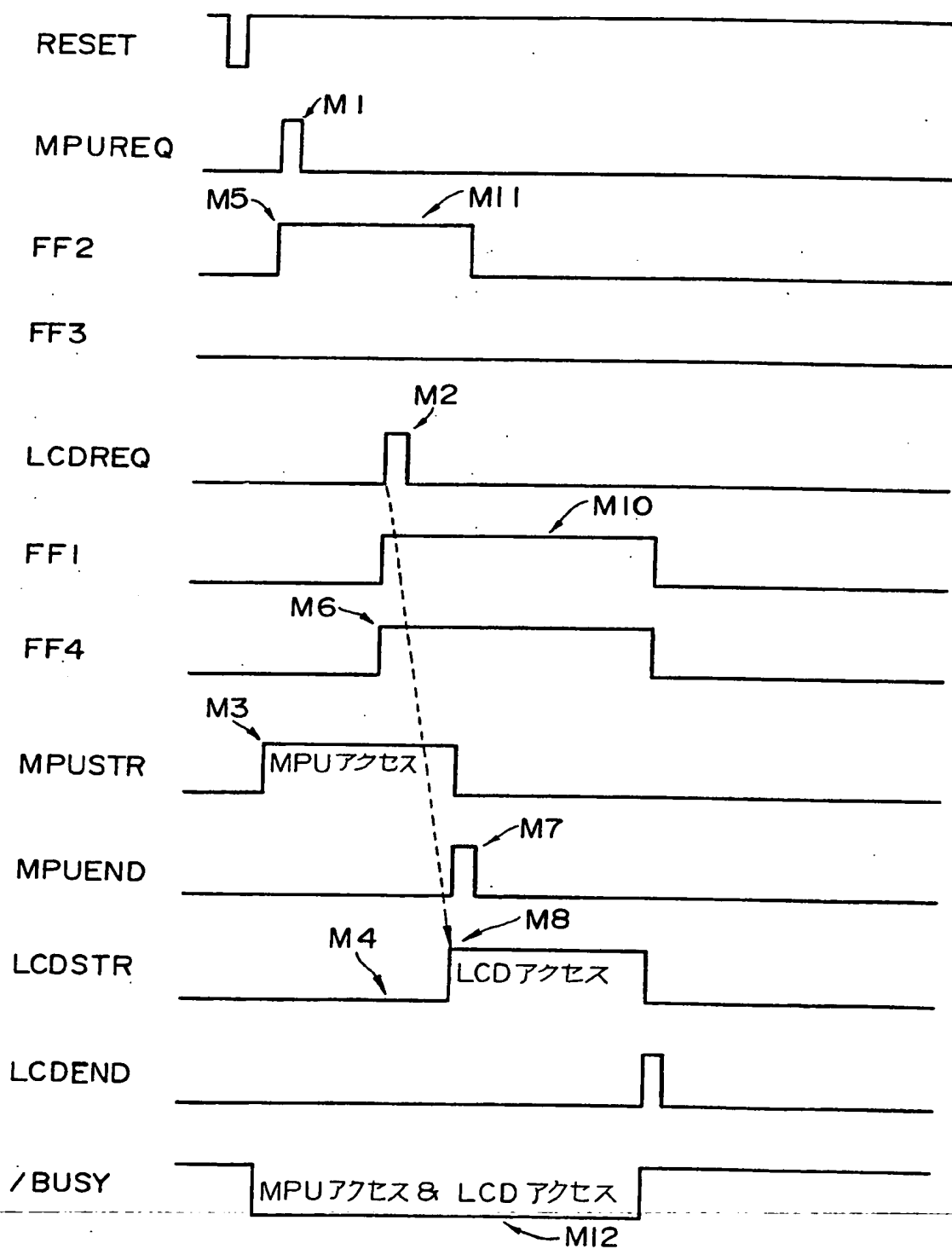
7/25

FIG. 7



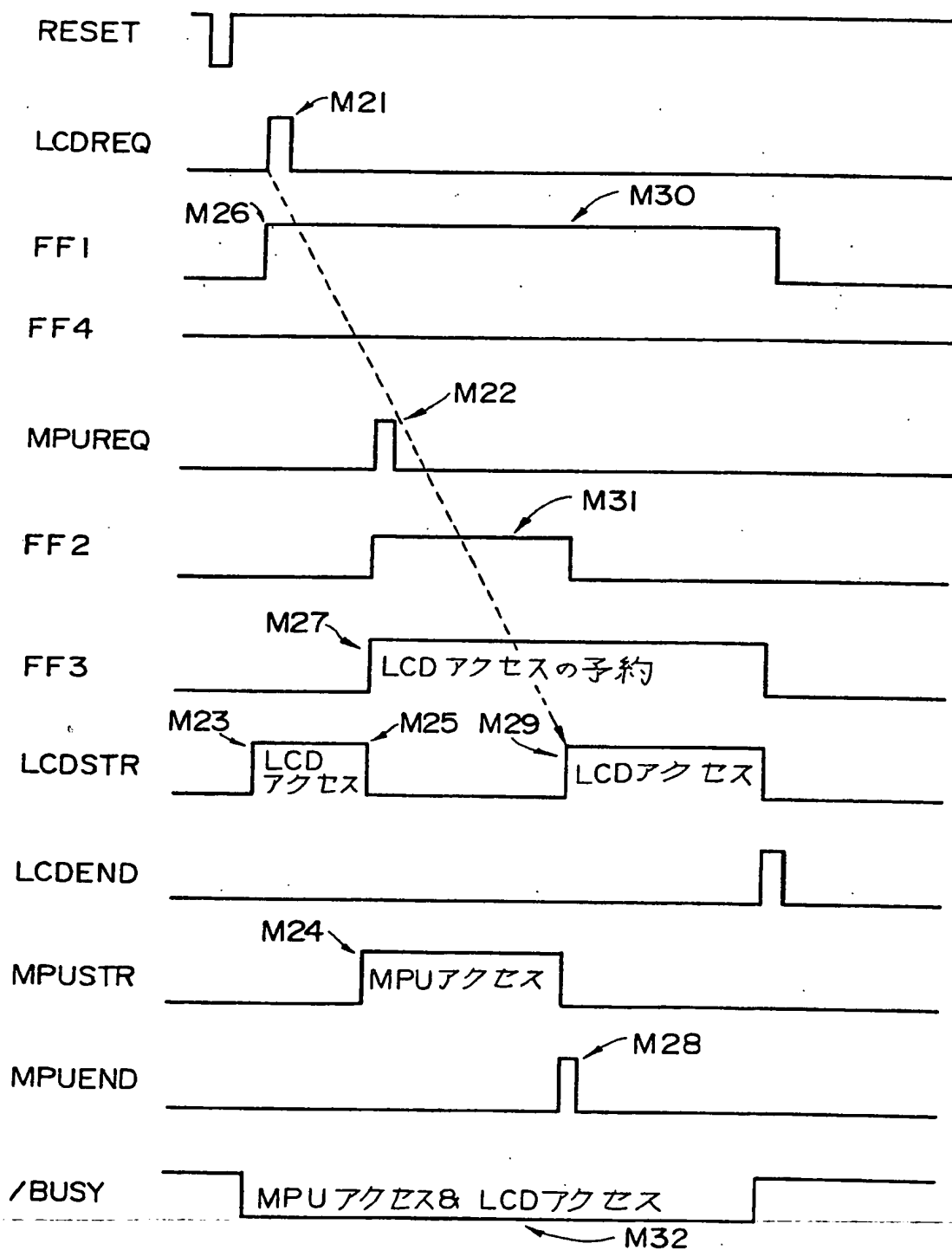
8/25

FIG. 8

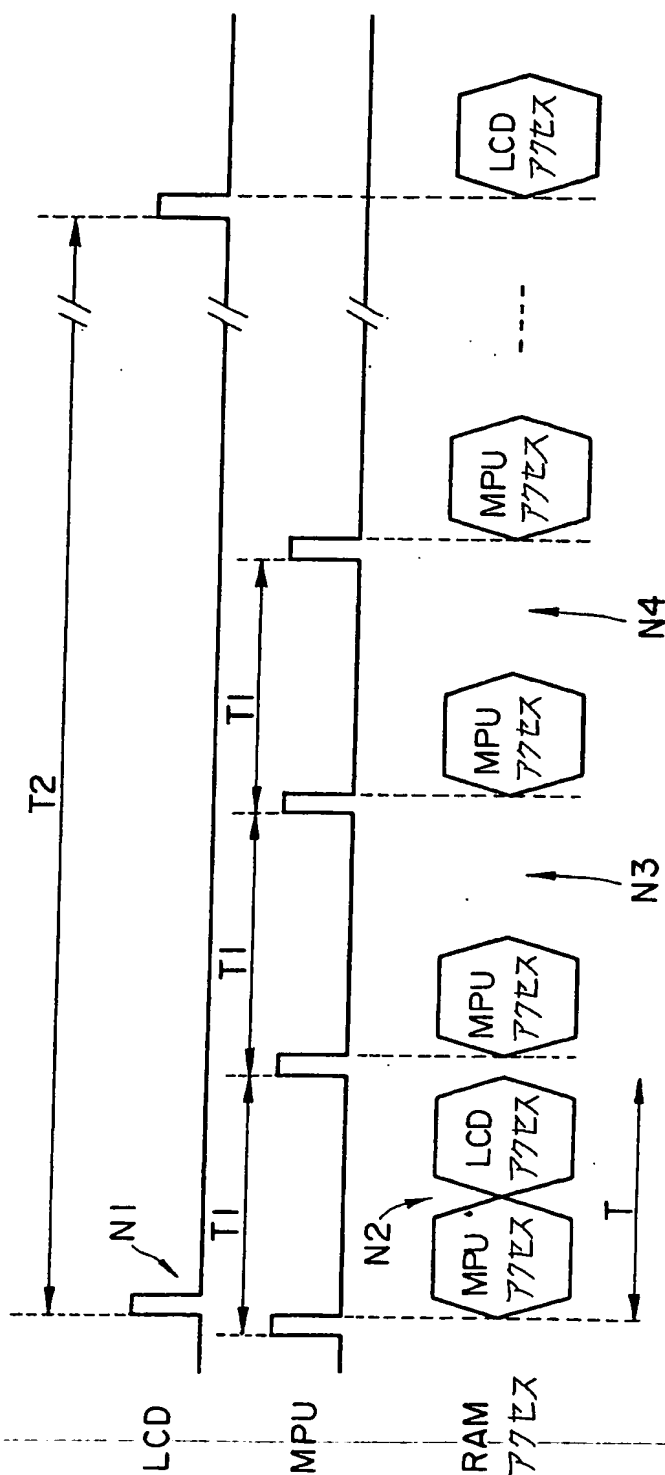


9/25

FIG. 9

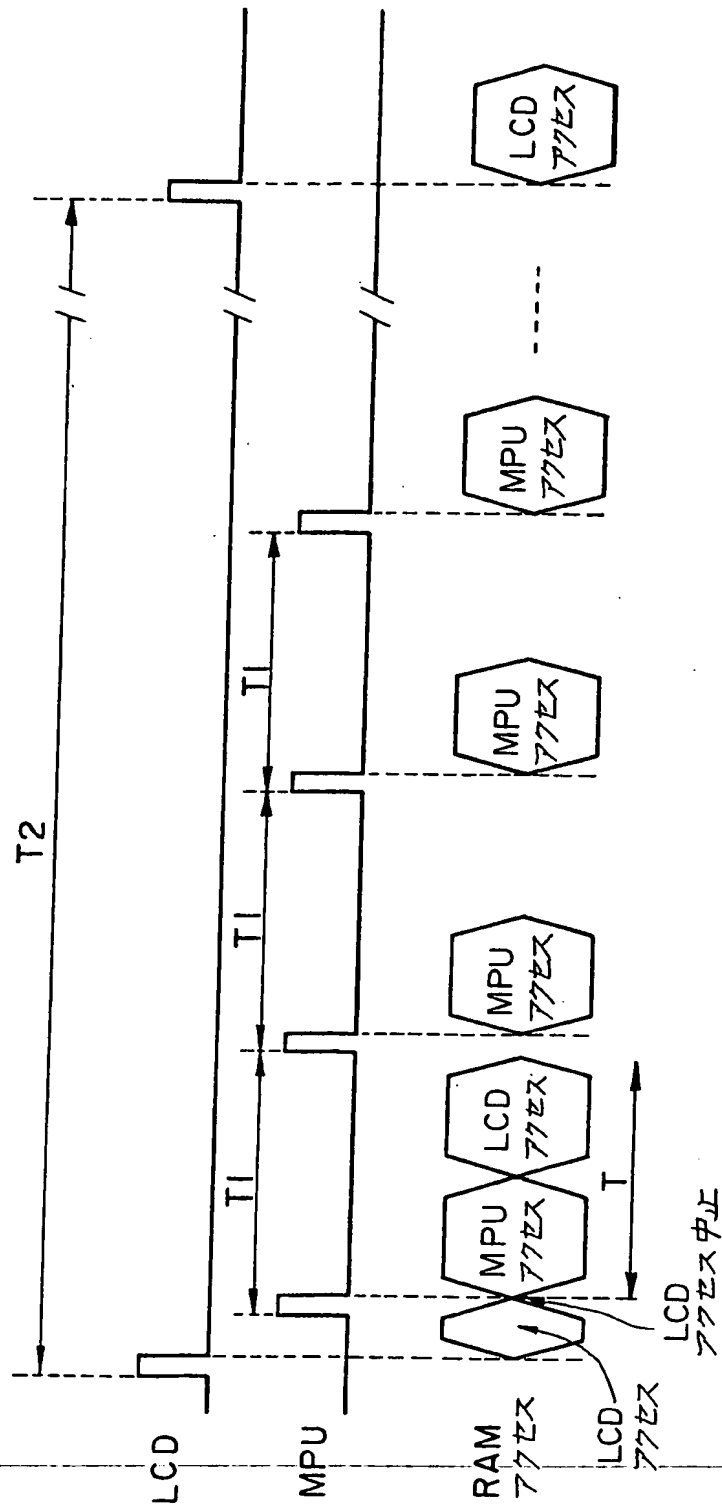


**FIG. 10**



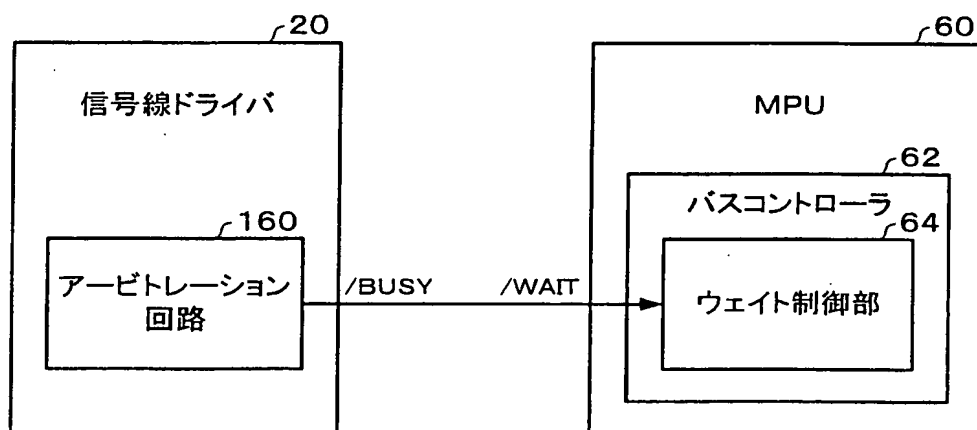
11/25

FIG. 11



12/25

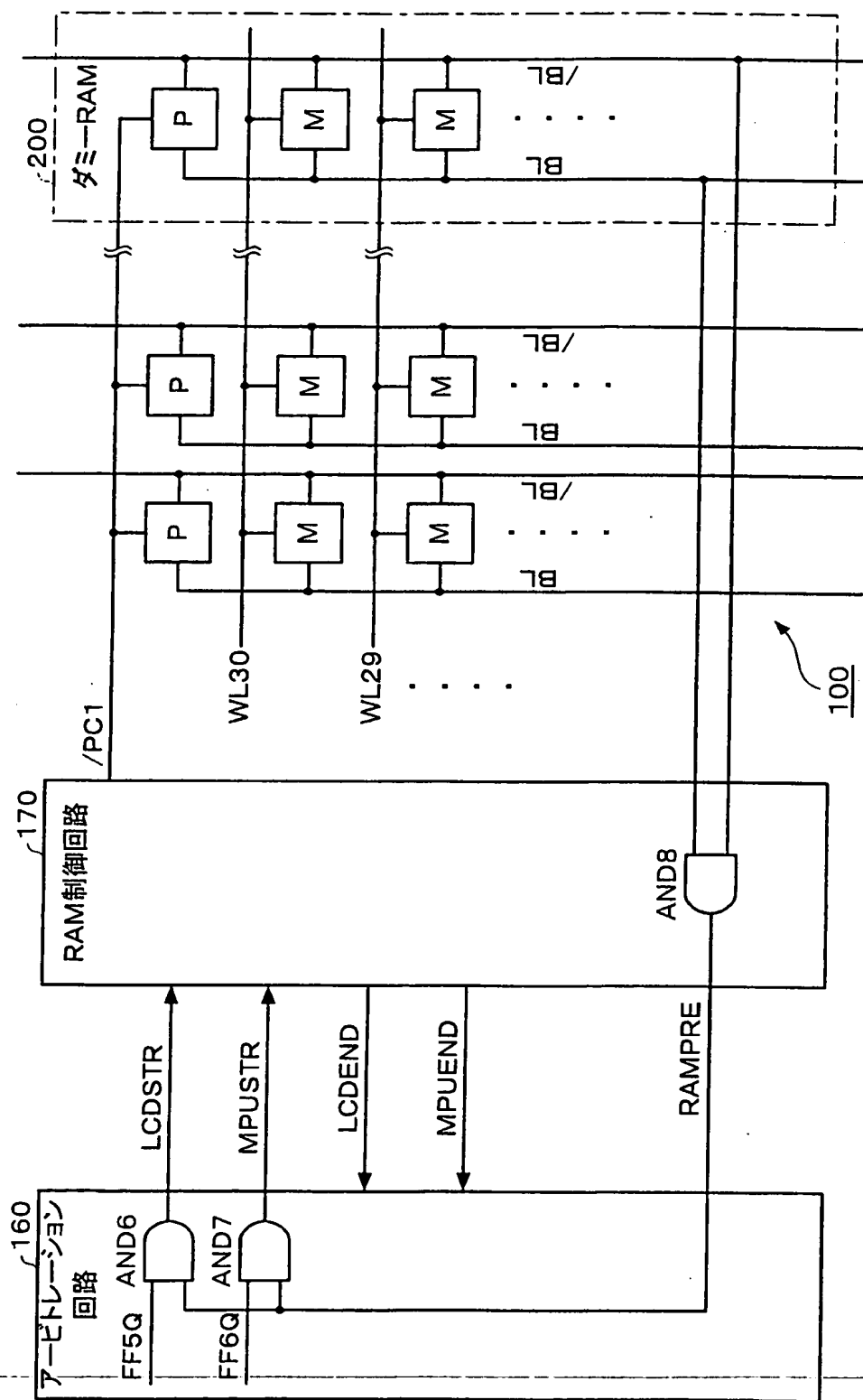
FIG. 12





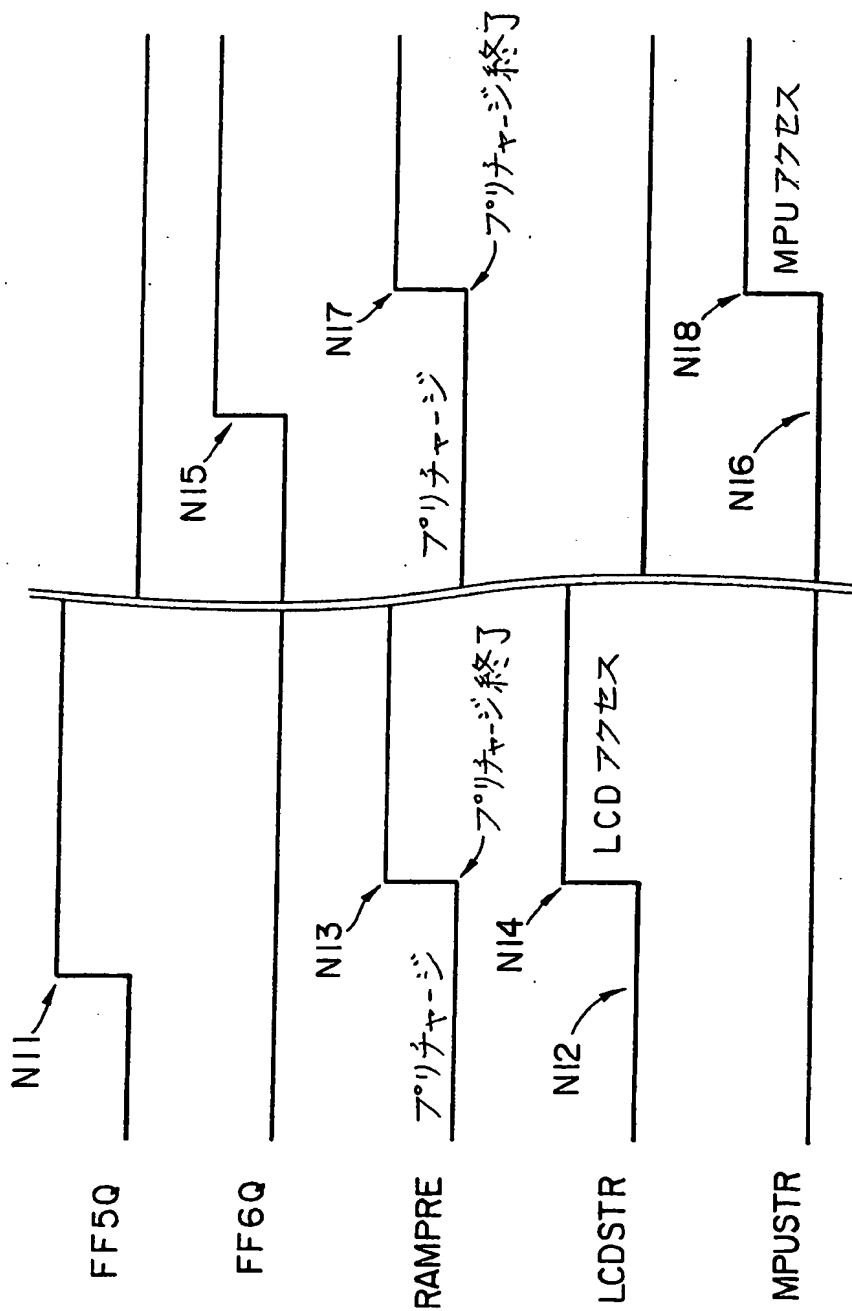
14/25

FIG. 14



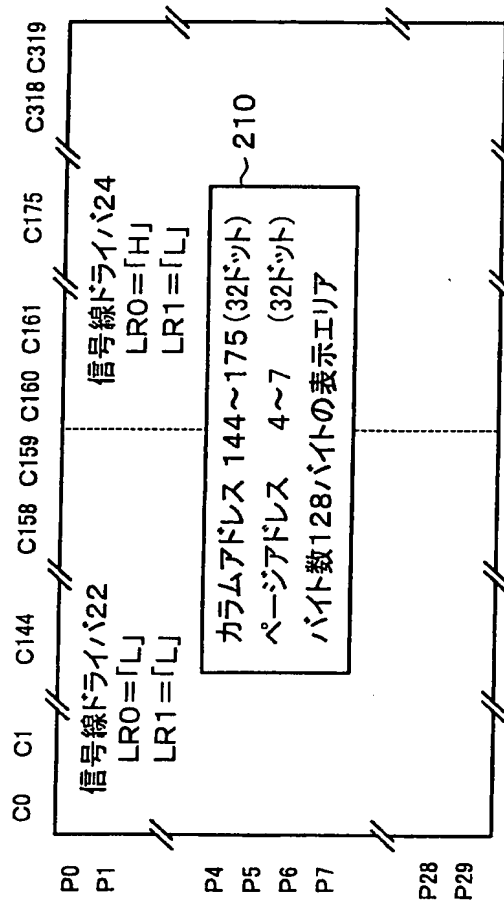
15/25

FIG. 15



16/25

FIG. 16



17/25

FIG. 17A

従来技術

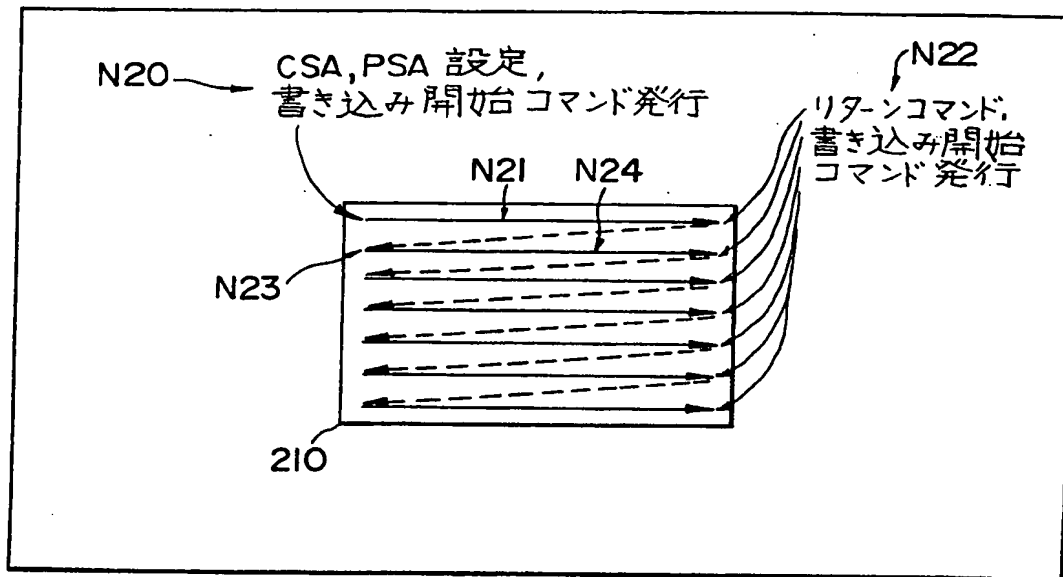
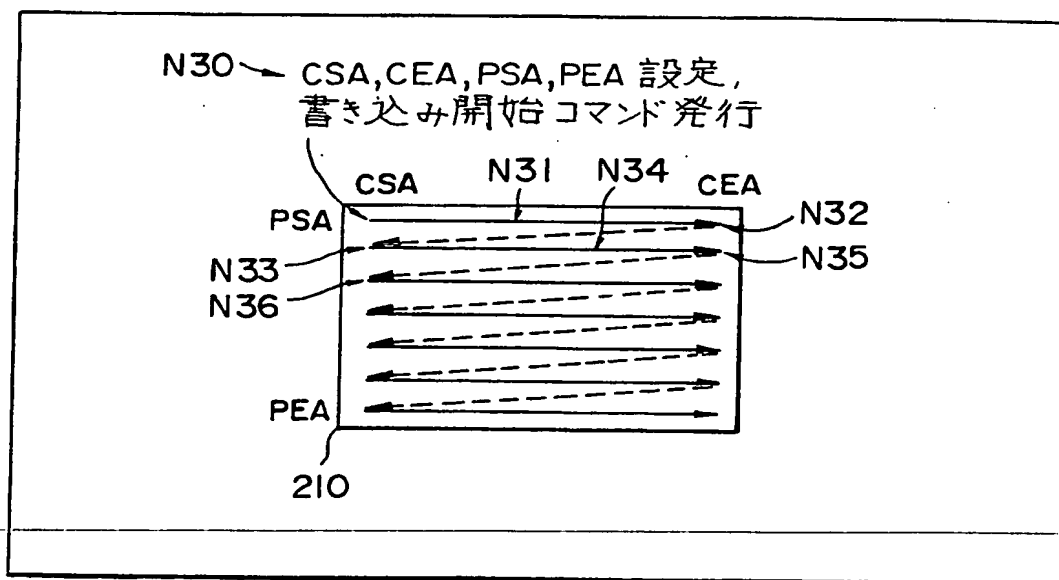


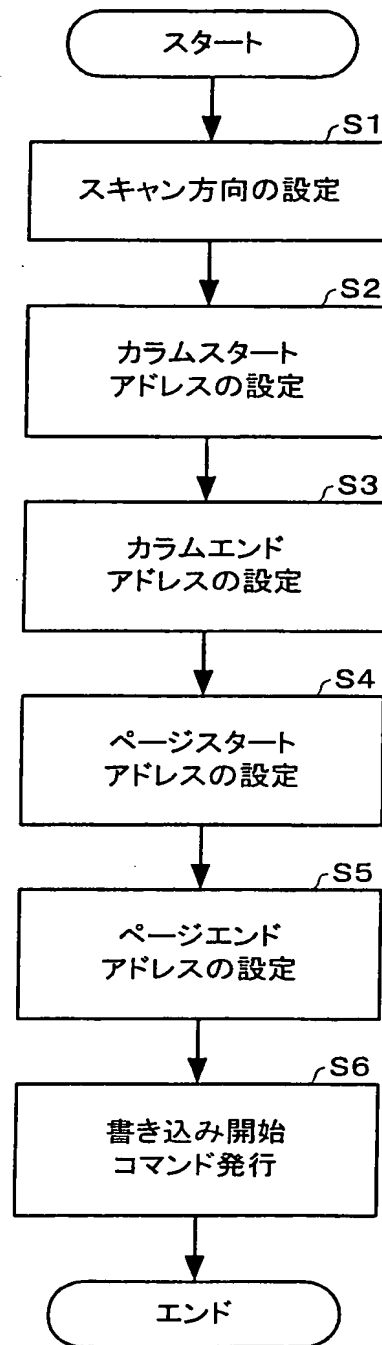
FIG. 17B

本実施形態



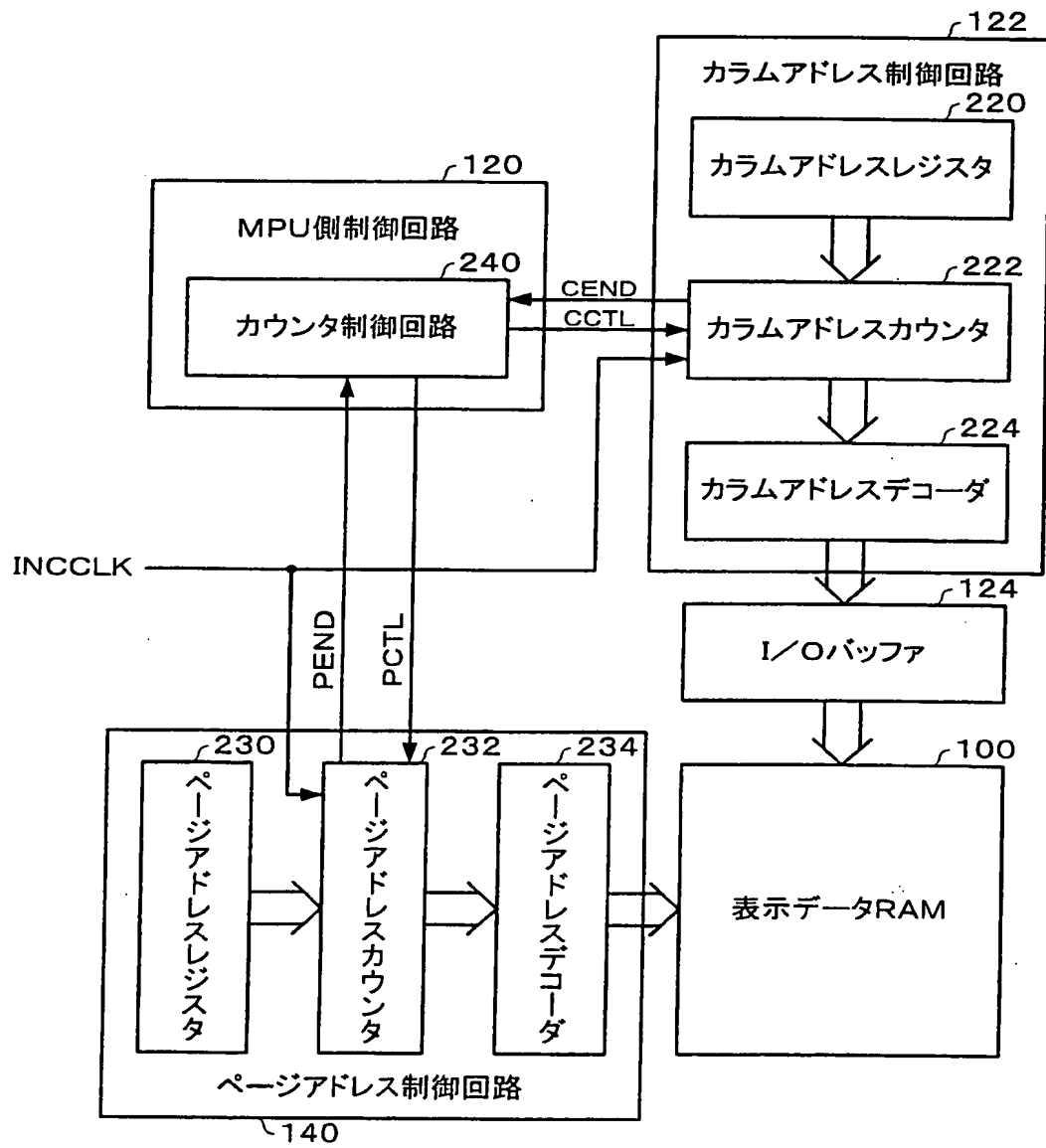
18/25

FIG. 18



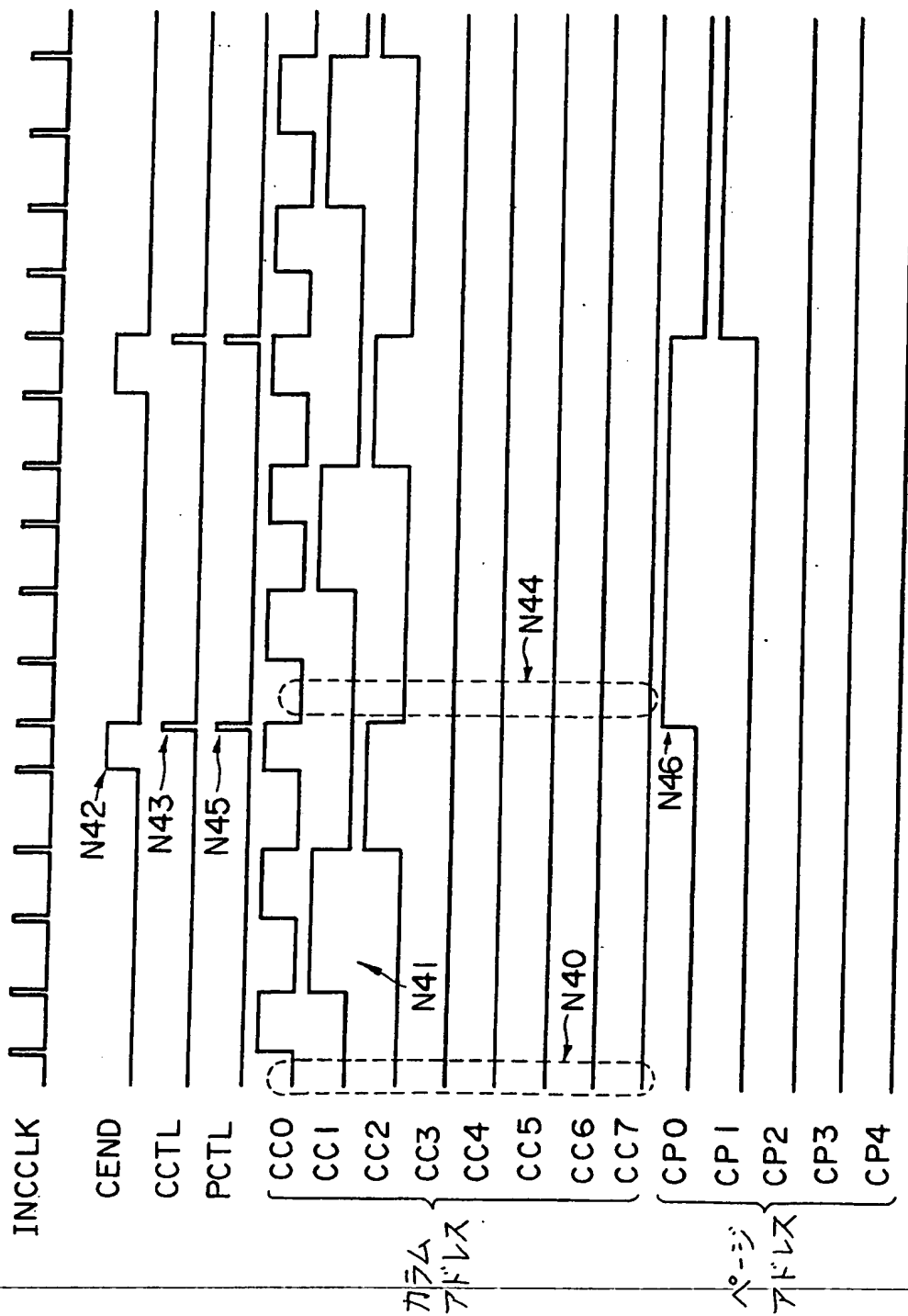
19/25

FIG. 19



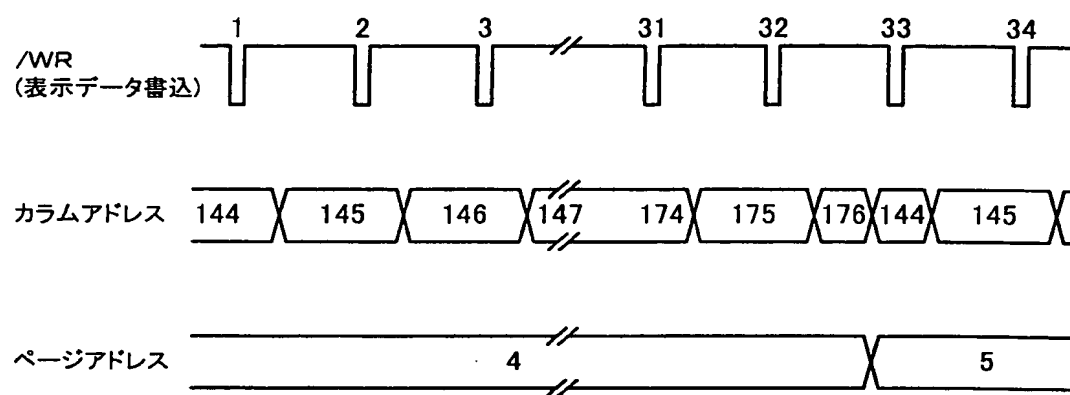
20/25

FIG. 20



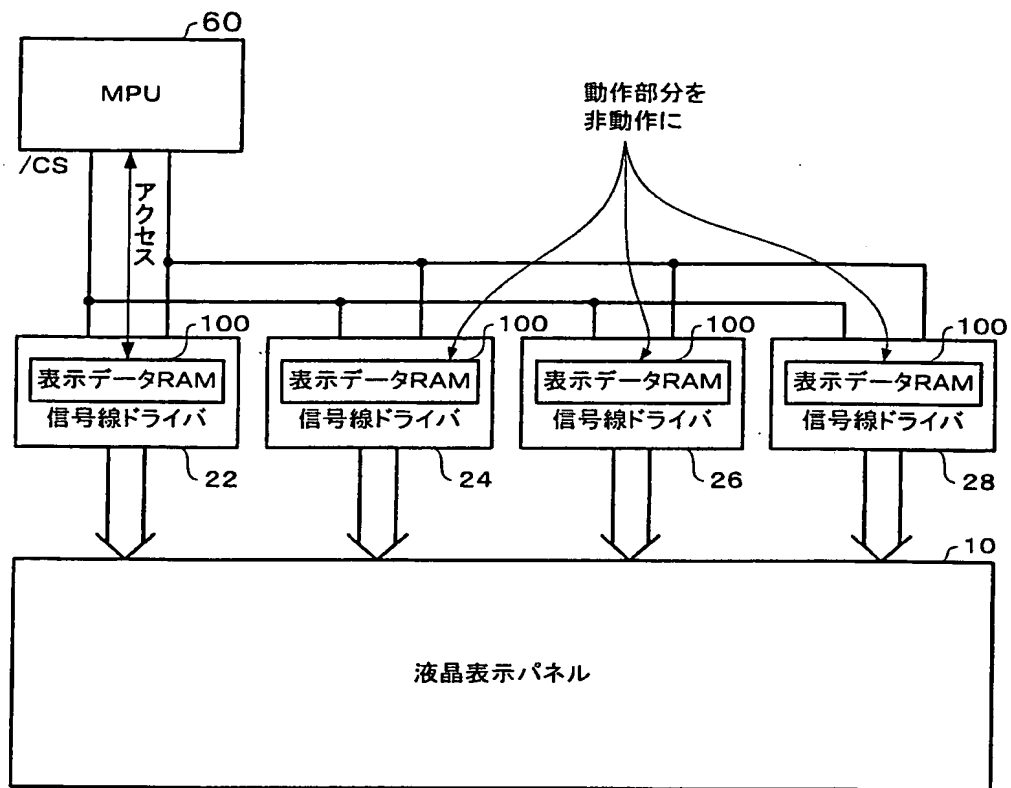
21/25

FIG. 21



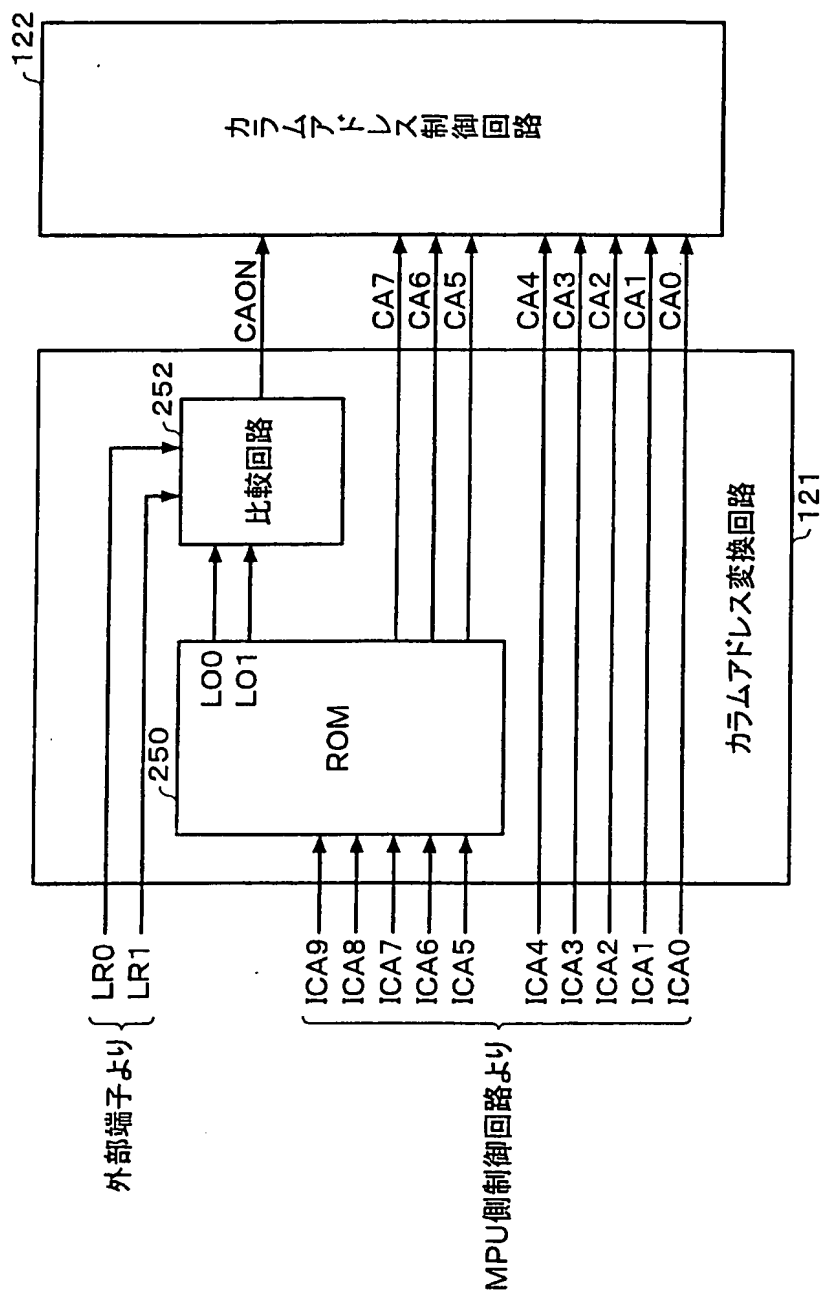
22/25

FIG.22



23/25

FIG. 23

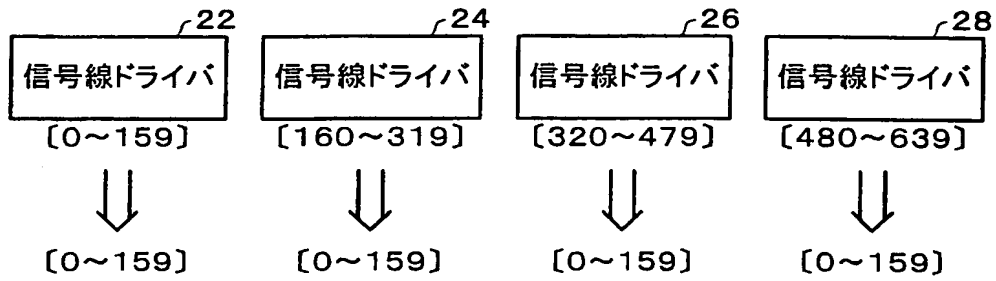


**FIG.24**

入力信号					変換後			LO0	LO1
IC9	IC8	IC7	IC6	IC5	CA7	CA6	CA5		
L	L	L	L	L	L	L	L	L	L
L	L	L	L	H	L	L	H	L	L
L	L	L	H	L	L	H	L	L	L
L	L	L	H	H	L	H	H	L	L
L	L	H	L	L	H	L	L	L	L
L	L	H	L	H	L	L	L	L	H
L	L	H	H	L	L	L	H	L	H
L	L	H	H	H	L	H	L	L	H
L	L	H	L	L	L	H	L	H	H
L	L	H	L	H	L	H	H	H	L
L	L	H	L	L	L	L	H	H	L
L	L	H	L	H	L	H	H	H	L
L	L	H	L	L	L	L	L	H	H
L	L	H	L	H	L	H	L	H	H
L	L	H	H	L	L	H	H	H	H
L	L	H	H	H	L	L	H	H	H

25/25

FIG.25



## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP99/03726

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>6</sup> G09G5/00, G09G3/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>6</sup> G09G5/00, G09G3/00, G06F13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999  
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 10-105505, A (Seiko Epson Corp.), 24 April, 1998 (24. 04. 98), Full text ; all drawings (Family: none)	1-2, 4, 8, 11, 16 3, 5-7, 9-10, 12-15
Y	JP, 55-43692, A (Sanyo Electric Co., Ltd.), 27 March, 1980 (27. 03. 80), Page 1, lower left column, lines 4 to 14 ; page 2, upper left column, line 6 to lower left column, line 1 (Family: none)	1-2, 4, 16
A	JP, 63-243989, A (Toshiba Corp.), 11 October, 1988 (11. 10. 88), Page 7, column 12, lines 11 to 17 & GB, A, 2203318 & DE, A1, 3811148 & KR, B1, 9102749 & US, A, 5093902	1-4
A	JP, 10-105120, A (Seiko Epson Corp.), 24 April, 1998 (24. 04. 98), Page 7, column 12, lines 11 to 17 (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
6 October, 1999 (06. 10. 99)

Date of mailing of the international search report  
19 October, 1999 (19. 10. 99)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

International application No.  
PCT/JP99/03726

PCT/JP99/03726

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 59-10084, A (Victor Co. of Japan,Ltd.), 19 January, 1984 (19. 01. 84), Page 3, upper left column, line 11 to page 4, lower right column, line 15 (Family: none)	8
PA	JP, 10-282938, A (Seiko Epson Corp.), 23 October, 1998 (23. 10. 98), Page 11, column 19, lines 1 to 7 (Family: none)	9-10, 14-15
Y	JP, 62-65082, A (The Nippon Signal Co., Ltd.), 24 March, 1987 (24. 03. 87), Page 1, upper left column, line 5 to page 2, upper right column, line 4 ; page 3, upper left column, line 6 to upper right column, line 4 (Family: none)	11, 16
PA	JP, 10-207821, A (Hitachi,Ltd.), 7 August, 1998 (07. 08. 98), Page 6, column 10, line 22 to page 7, column 11, line 50 (Family: none)	11-16

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>o</sup> G 09 G 5/00、G 09 G 3/20

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>o</sup> G 09 G 5/00、G 09 G 3/00、G 06 F 13/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996

日本国公開実用新案公報 1971-1999

日本国登録実用新案公報 1994-1999

日本国実用新案登録公報 1996-1999

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 10-105505, A (セイコーエプソン株式会社) 24. 4月. 1998 (24. 04. 98) 全文、全図 (ファミリーなし)	1-2、 4、8、 11、16 3、5-7、 9-10、 12-15
A		
Y	J P, 55-43692, A (三洋電機株式会社) 27. 3月. 1980 (27. 03. 80) 第1頁左下欄第4行-14行、 第2頁左上欄第6行-左下欄第1行 (ファミリーなし)	1-2、 4、16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

06. 10. 99

国際調査報告の発送日

19.10.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

秋田 将行



2 G

9302

電話番号 03-3581-1101 内線 3226

様式PCT/ISA/210 (第2ページの続き) (1998年7月)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**